

IDEC 참여 매뉴얼

- 참여교수 배포용 -

2024.01



반도체설계교육센터
IC DESIGN EDUCATION CENTER

목 차

참여교수 신청	2
1. 개요	2
2. 지원 사항	2
3. 신청 시기	2
4. 신청 조건	2
5. 참여교수 의무사항	2
6. 선정 방법	3
7. 선정 제외 대상	3
8. 신청 절차	4
9. 우수 참여교수 선정	14
10. 우수 연구교수 선정	15
MPW 참여 안내	16
1. MPW 참가 대상 및 설계 참여시 이행 사항	16
2. 2024년 MPW 지원 내역 및 일정	19
3. MPW 참여 방법	23
4. 참여 방법(지정공정)	27
5. 참여방법(희망공정)	38
EDA Tool 사용 안내	44
1. 개요 및 지원현황	44
2. 지원방식	46
3. 정규 라이선스 사용	46
4. Network license 사용	49
5. EDA Tool 지원 서비스	50
CDC (Chip Design Contest)	54
1. CDC 소개	54
2. CDC 참여 절차	55
3. CDC 평가	61
JICAS (IDEC Journal of Integrated Circuits and system)	62
1. JICAS 소개	62
2. JICAS 진행 절차	62

1

참여교수 신청

1. 개요

- 1) 차세대시스템반도체 전문인력 양성과 핵심 IP연구개발을 위해 다각적인 전국 대학의 교수를 참여교수로 선정하여 칩제작기회(MPW) 및 설계환경(EDA Tool) 등 지원
- 2) 반도체설계 분야의 연구 경쟁력을 확보하기 위해 참여교수의 유사 연구 분야를 조사하여 연구분야 특성화를 제공

2. 지원 사항

- 1) 최신 기술 공정의 MPW 칩 제작 지원(Cell Library 포함)
- 2) 최신 EDA Tool 지원
- 3) IDEC 보유 Analog IP 제공

3. 신청 시기

- 1) 년 1회 (매년 2월 모집)

4. 신청 조건

- 1) 전국 대학의 반도체설계 관련분야 교수 (전임직 조교수부터 신청 가능)
- 2) 단, 순수 교육 및 연구 목적이 아닌 특수목적 대학소속의 교수의 경우 IDEC 지원이 제한됨 (참고 : 전문대학의 경우, IDEC 지원이 제한 될 수 있음)

5. 참여교수 의무사항

- 1) "IDEC 주최 행사(Congress)"에 **2년에 1회 이상 반드시 참여한다.**
- 2) IDEC에서 협조하는 사항(뉴스레터 원고 기고, JICAS 논문 제출(분기별), IDEC 관련 평가(C.D.C(2,6,11월) 등), IDEC 강좌 강사 활동 등)에 대해 **3년 이내 1회 이상 참여 한다.**
- 3) IDEC 지원을 받아 달성한 **연구실적(논문, 특허, 지도학생 취업현황 등)은 IDEC에 보고 한다.**

* IDEC 참여교수로 활동 시에 위의 세가지 사항 모두 이행을 부탁드립니다.

[참고 내용]

- IDEC Congress : 참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 **2년에 1회 이상 필수 참석**
- JICAS : 매년 4 회 발행되는 IDEC 공식 국제 저널인 JICAS 에 MPW 칩 설계 결과물을 논문으로 작성하여 제출 (논문 상시 접수)
- CDC : IDEC CDC 행사에 제출된 논문의 채택 여부를 결정하기 위해 온라인 평가 진행 (2년마다 IDEC CDC 평가위원 위촉)
- IDEC 교육 : 본센터(KAIST)와 8 개 캠퍼스에서 연간 170 건 정도의 설계 및 Tool 교육 등이 개설/진행되고 있으며, 이에 주도적으로 강의 개설
- IDEC 사사문구 : IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 지원(MPW, EDA Tool) 사사문구 기재, **Acknowledgement(감사의 글)에 포함되어도 실적 인정

구분		사사문구 예시
국문	MPW 지원받은 경우	본 연구는 IDEC 에서 MPW 를 지원받아 수행하였습니다.
	EDA Tool 지원받은 경우	본 연구는 IDEC 에서 EDA Tool 를 지원받아 수행하였습니다.
영문	MPW 지원받은 경우	The chip fabrication was supported by the IC Design Education Center(IDEC), Korea.
	EDA Tool 지원받은 경우	The EDA tool was supported by the IC Design Education Center(IDEC), Korea.
	MPW 와 EDA Tool 모두 지원받은 경우	The chip fabrication and EDA tool were supported by the IC Design Education Center(IDEC), Korea.

6. 선정 방법

- 1) 기존 참여교수 : 전년도 참여계획 및 의무사항 이행, IDEC이 인정하는 실적 제출시 선정
- 2) 신규 참여교수 : 신청서 및 이력서를 토대로 IDEC 평가를 통해 선정

7. 선정 제외 대상

- 1) 기존 참여교수 : 참여교수 의무사항을 이행하지 않거나, 최근 3년간 IDEC에서 인정하는 실적을 제출하지 않은 자
- 2) 신규 참여교수 : 신청조건에 불충족하거나, IDEC 평가시 미승인된 자
- 3) 비전임 교수

8. 신청 절차

1) 신규 및 기존 참여교수

① www.idec.or.kr 로그인 -> 참여교수 클릭

The screenshot shows the IDEC website homepage. The navigation menu includes '센터소개', '교육/세미나', 'VOD서비스', 'MPW', 'EDA Tool', '참여교수', '홍보마당', and 'IDEC Library'. The '참여교수' menu item is highlighted with a red box. In the top right corner, the '로그인' (Login) button is also highlighted with a red box. Below the navigation bar, there are sections for '공지사항 Notice' and '자료실 Library'.

② 참여교수 신청 클릭 -> 상세보기 -> 참여신청

The screenshot shows the '참여교수신청' (Participating Professor Application) page. The '참여교수신청' link is highlighted with a red box. The '상세보기' (View Details) button is also highlighted with a red box. The page includes a table for the 2024 application schedule:

2024년 참여교수 신청			
신청기간	2024-01-11 ~ 2024-01-11	신규 참여교수 평가	2025-02-01 ~ 2025-02-28
활동기간	2024-03-01 ~ 2025-02-28	결과보고제출기간	2025-01-01 ~ 2025-02-28

The screenshot shows the '2023년 실적' (2023 Performance) page. The '참여신청' (Apply) button is highlighted with a red box. The page includes a table for the 2023 performance:

내용	건수(시간)	점수
MPW 칩제작	0	0
희망공정 칩제작	0	0
논문	0	0
[뉴스레터 명예기자] 1월호	2	4
[Congress 참여] 참석	1	10
[설문 응답] 설문응답	2	2
[JICAS논문제출] 논문제출	1	10

- ③ 차년도 참여교수 신청서 작성
 - 신청서 상의 특성화 분야 작성 버튼 클릭

신청자 정보

특성화분야	*특성화 분야 팝업창 띄우기 작성 <input type="checkbox"/>		
참여구분	<input checked="" type="radio"/> 참여교수 <input type="radio"/> 명예교수		
회원ID	test	이름	테스트
학교명	KAIST	학과명(학부명)	전자과1
email	ksmoon98@kaist.ac.kr	전화번호	070-3333-3333
학교주소	(35373)대전 서구 관저로 84 1234		
홈페이지	aaa123a.com		

- 특성화 분야 작성 : 작성버튼을 클릭하면 등록 또는 수정이 가능

▼ 응용분야			Digital		Design methodology	Analog/RF				
			Programmable core	Special function block		Data Converters	Timing & High-Speed Interface	RF	Power	기타 IP
대분류	중분류	소분류								
Consumer	대형 Media(TV등)									
	Handheld Multimedia									
	Display (LCD/OLED/PDP/display Driver 등)									
Car/Robot	Car infotainment (navi/audio/DMB)									
	Car chassis(brake/suspension/steering)									
	Body/security(충돌방지 등)									
	Robot									
Communication	Wired	Level 2/3 switch								
		MODEM								
		Access network								
		PAN								
	Wireless(무선통신)	LAN/MAN/WAN/CAN								
		USN/RFID								
		Wimax, Wibro, LTE								
	Cellular phone									
	Ubiquitous									
	Military/Space									
신 재생 에너지	Energy Harvesting(태양광/열전 등)									
	Energy Storage(배터리 등)									
	Energy transfer System(Grid 등)									
	Medical/Bio									
	분류되지 않은 기타									

*** 가토와 세로가 만나는 셀을 선택(최대6개)하시고 등록 및 수정 완료 버튼을 클릭해주세요***

닫기
특성화 분야 확인 페이지로..
등록 및 수정 완료

- 특성화 자료 활용동의여부 체크 후 페이지 하단 확인 버튼 클릭

○ 참여교수 특성화 등록시 아래 사항을 확인하세요.

■ 기본자료 활용 동의

"참여교수 특성화 (Platform) 구축에 기본 자료로 활용" 하는 것에 동의하십니까?

예, 동의 합니다.

■ 개인정보 정책

"참여교수 특성화 (Platform) 웹페이지에 기본정보(소속, 성명, 연락처, E-mail), 일반정보(연구분야)등 정보제공" 에 동의하십니까?

예, 동의 합니다. 아니요, 동의하지 않습니다.

확인 취소

- 지도학생 기입 : 전년도 지도학생 중 졸업생을 제외한 재학생은 자동으로 등록 된다. 신규 지도학생을 추가할 수 있으며, **실무 담당자를 선택한다.**

지도학생	성명	교과과정		휴대폰	email	+ X X
	<input type="text"/>	<input type="text"/>	교과과정 ▼	학기 ▼	<input type="text"/>	
	<input type="text"/>	<input type="text"/>	교과과정 ▼	학기 ▼	<input type="text"/>	<input type="text"/>
실무 담당자	<input type="radio"/> <input type="text"/>					

- **파란색+** : 지도 학생 추가 / **빨간색X** : 지도학생 삭제

- 금년도 참여계획 : 참여교수 의무사항 항목이며, 참여계획 건수를 입력한다.
- 이력서 : 신규참여 교수의 경우 이력서 등록(필수).
- 입력란을 모두 기입하고 참여교수 수행 지침 동의 후 참여신청 클릭.

활동분야	예) ABC를 활용한 VSLI 설계																													
금년도 참여계획	<table border="1"> <thead> <tr> <th>항목</th> <th>건수</th> <th>설명</th> </tr> </thead> <tbody> <tr> <td>IDECS사논문</td> <td><input type="text" value="1"/></td> <td>IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 포함</td> </tr> <tr> <td>CDC평가참여</td> <td><input type="text" value="1"/></td> <td>1년에 2회 IDEC CDC 행사에 제출된 논문의 채택 및 수상 여부를 결정하기 위해 무료로 온라인 평가 진행 (임기 2년)</td> </tr> <tr> <td>IDEC강좌개설</td> <td><input type="text" value="1"/></td> <td>본센터(KAIST)와 8개 캠퍼스에서 연간 170건 정도의 설계 및 Tool교육 강좌를 운영하고 있으며, IDEC 강좌 개설 또는 강의 진행</td> </tr> <tr> <td>교육자료제출 (VOD포함)</td> <td><input type="text" value="1"/></td> <td>IDEC 강좌 진행시, 교육자료 활용에 동의하거나, 강의 녹화 및 활용에 동의</td> </tr> <tr> <td>뉴스레터기고</td> <td><input type="text" value="1"/></td> <td>매년 6회 발행되는 IDEC 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야, 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)</td> </tr> <tr> <td>JICAS제출</td> <td><input type="text" value="1"/></td> <td>매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과물 (또는 칩 설계 관련 내용) 을 논문으로 작성하여 제출 (논문 상시 접수)</td> </tr> <tr> <td>JICAS Reviewer (또는 편집위원)</td> <td><input type="text" value="1"/></td> <td>JICAS에 투고된 논문을 온라인 저널 시스템에서 심사하고 게재 여부 결정</td> </tr> <tr> <td>IDEC Congress참여</td> <td><input type="text" value="1"/></td> <td>참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있음.</td> </tr> </tbody> </table>	항목	건수	설명	IDECS사논문	<input type="text" value="1"/>	IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 포함	CDC평가참여	<input type="text" value="1"/>	1년에 2회 IDEC CDC 행사에 제출된 논문의 채택 및 수상 여부를 결정하기 위해 무료로 온라인 평가 진행 (임기 2년)	IDEC강좌개설	<input type="text" value="1"/>	본센터(KAIST)와 8개 캠퍼스에서 연간 170건 정도의 설계 및 Tool교육 강좌를 운영하고 있으며, IDEC 강좌 개설 또는 강의 진행	교육자료제출 (VOD포함)	<input type="text" value="1"/>	IDEC 강좌 진행시, 교육자료 활용에 동의하거나, 강의 녹화 및 활용에 동의	뉴스레터기고	<input type="text" value="1"/>	매년 6회 발행되는 IDEC 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야, 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)	JICAS제출	<input type="text" value="1"/>	매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과물 (또는 칩 설계 관련 내용) 을 논문으로 작성하여 제출 (논문 상시 접수)	JICAS Reviewer (또는 편집위원)	<input type="text" value="1"/>	JICAS에 투고된 논문을 온라인 저널 시스템에서 심사하고 게재 여부 결정	IDEC Congress참여	<input type="text" value="1"/>	참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있음.		
항목	건수	설명																												
IDECS사논문	<input type="text" value="1"/>	IDEC의 지원을 받아 발행된 논문에는 반드시 IDEC 사사문구를 기입해야 하며, 해당 실적은 참여교수 실적으로 포함																												
CDC평가참여	<input type="text" value="1"/>	1년에 2회 IDEC CDC 행사에 제출된 논문의 채택 및 수상 여부를 결정하기 위해 무료로 온라인 평가 진행 (임기 2년)																												
IDEC강좌개설	<input type="text" value="1"/>	본센터(KAIST)와 8개 캠퍼스에서 연간 170건 정도의 설계 및 Tool교육 강좌를 운영하고 있으며, IDEC 강좌 개설 또는 강의 진행																												
교육자료제출 (VOD포함)	<input type="text" value="1"/>	IDEC 강좌 진행시, 교육자료 활용에 동의하거나, 강의 녹화 및 활용에 동의																												
뉴스레터기고	<input type="text" value="1"/>	매년 6회 발행되는 IDEC 뉴스레터에 반도체 설계와 관련된 기술 동향 또는 연구 분야, 학회 참가 후기, 반도체 인력 양성과 관련한 칼럼 등을 작성하여 제출 (원고 상시 접수)																												
JICAS제출	<input type="text" value="1"/>	매년 4회 발행되는 IDEC 공식 국제 저널인 JICAS에 MPW 칩 설계 결과물 (또는 칩 설계 관련 내용) 을 논문으로 작성하여 제출 (논문 상시 접수)																												
JICAS Reviewer (또는 편집위원)	<input type="text" value="1"/>	JICAS에 투고된 논문을 온라인 저널 시스템에서 심사하고 게재 여부 결정																												
IDEC Congress참여	<input type="text" value="1"/>	참여대학의 주요실적에 대한 결과 발표 및 현안 논의가 이뤄지는 IDEC 주관 행사로, 참여교수는 본 행사에 2년에 1회 이상 참석 의무가 있음.																												
가입목적	<input checked="" type="checkbox"/> MPW 참가 <input checked="" type="checkbox"/> EDA Tool 사용 <input type="checkbox"/> 기타 <input type="text"/>																													
이력서	* 신규 참여교수의 경우 이력서를 등록해야 합니다. (자유양식) <input type="text" value="파일 선택"/> <input type="text" value="선택된 파일 없음"/>																													
참여교수 수행지침동의	제1조(사업 목표 및 내용) 참여교수의 사업 목표와 내용은 "참여교수 지원 신청서" 내용과 동일하다. 제2조(사업의 수행) 본 사업을 제1조의 "참여교수 지원 신청서" 상의 내용에 따라 수행한다. 제3조(자원의 지원) (1) 본 사업의 수행을 위해 IDEC은 참여교수에게 EDA Tool, MPW(Multi Project Wafer) 칩제작 공정 등의 자 <input checked="" type="checkbox"/> 참여교수 수행 지침에 동의합니다.																													
<input type="button" value="이전으로"/> <input type="button" value="참여신청"/>																														

○ 참여교수 신청 완료

제목	참여교수 신청		
신청기간		신규 참여교수 평가	
활동기간		결과보고제출기간	

■ 기존 참여교수의 경우 성과물을 제출해주세요. 성과물을 제출 하지 않을 경우 MPW, EDA Tool지원이 제한될 수 있습니다.

- 성과제출(논문)
- 성과제출(특허)
- 성과제출(IP)
- 참여교수 신청 내역으로

④ 최종선정안내

- 기존 참여교수 : 신청 후 선정 안내 이메일 발송
- 신규 참여교수 : 내부 평가 진행 후 최종 선정 안내 이메일 발송 예정.

2) 제출 항목 (기존 참여교수만)

① 인력배출 현황 작성

- MYIDEC > 참여교수 신청내역 > 2022년 참여교수 클릭
- 2022년도 2, 8월 졸업생의 취업현황을 제출 * 취업/진학 구분을 명확히 기재
전년도 졸업생 중 취업현황에 변동이 있으면 반드시 수정 (IDEC 중요 실적자료로 활용되므로 졸업학위, 취업기관 등 정확한 기재를 부탁드립니다.)

○ 2023년 참여교수 신청

신청기간	신규참여교수 평가	활동기간	결과보고 제출기간
2023-02-01 ~ 2023-02-17	2023-02-20 ~ 2023-02-24	2023-03-01 ~ 2024-02-29	2024-01-01 ~ 2024-02-29

신청 정보 상세 결과보고제출 ←

신청 정보 상세 결과보고제출

○ 2023년도 결과보고 (졸업/취업 현황) 제출

■ 인력배출 현황 (2023년 2월, 8월 졸업자)

- 지도 학생 중 졸업생이 있을 경우 학위, 지도교수, 졸업년월, 취업기관, 부서명을 기입하신후 [적용]버튼을 클릭해주세요.
- 졸업생이 없을 경우에도 [적용] 버튼을 클릭하셔야 합니다.
- "졸업자구분" 항목 중 재직 중(직장인)은 학위 시작 전 취업한 학생을 말하며, 이외는 신입(일반)으로 선택해 주십시오.

성명	졸업학위	지도교수	졸업년월	졸업자 구분 취업/진학 기관	취업/진학 구분 부서명

- 수행지침동의서 제출

참여교수

참여교수신청안내

- 참여교수신청
- 참여교수성과
- 성과:논문
- 성과:IP
- 성과:특허

참여교수신청

홈 | 참여교수 | 참여교수신청

“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

○

참여교수 수행 지침 동의서

- 사업명 : 지능형반도체 전문인력양성 사업
- 사업기간 : 2019년 3월 1일 ~ 2020년 2월 29일
- 총괄 책임자 : 반도체설계교육센터 소장 박인철
- 참여교수 : KAIST 교수 테스트

● 본 수행지침 동의서는 “반도체설계교육센터(이하 IDEC)” 참여교수 협약 체결을 대신한다.
● 참여교수 선정 시 관련 법적 책임은 본인에게 있으므로, 아래 내용을 검토하여 승인하도록 한다.

제9조(개인 정보 사용 동의)
참여교수는 “참여교수 지원 신청서”의 내용을 실적보고 등 필요에 따라 관계 기관에 제공됨에 동의한다.

위의 모든 내용에 동의합니다.

확인

취소

② 성과 제출

- 해당기간 : 전년도 03월 1일~당해년도 2월 28일
- 해당기간의 성과를 IDEC 홈페이지 성과 제출 게시판에 업로드
- 제출 시기 : (참여교수 신청 기간 외에도) 수시 제출 가능
- 제출 방법
 - 참여교수성과 탭에서 해당 실적 게시판 클릭
 - 작성 완료후 수정사항이 있을시 수정가능

반도체설계교육센터
IC DESIGN EDUCATION CENTER

홈 로그아웃 MYIDEC 회원정보 N ▶

통합 검색, 인기글 Q

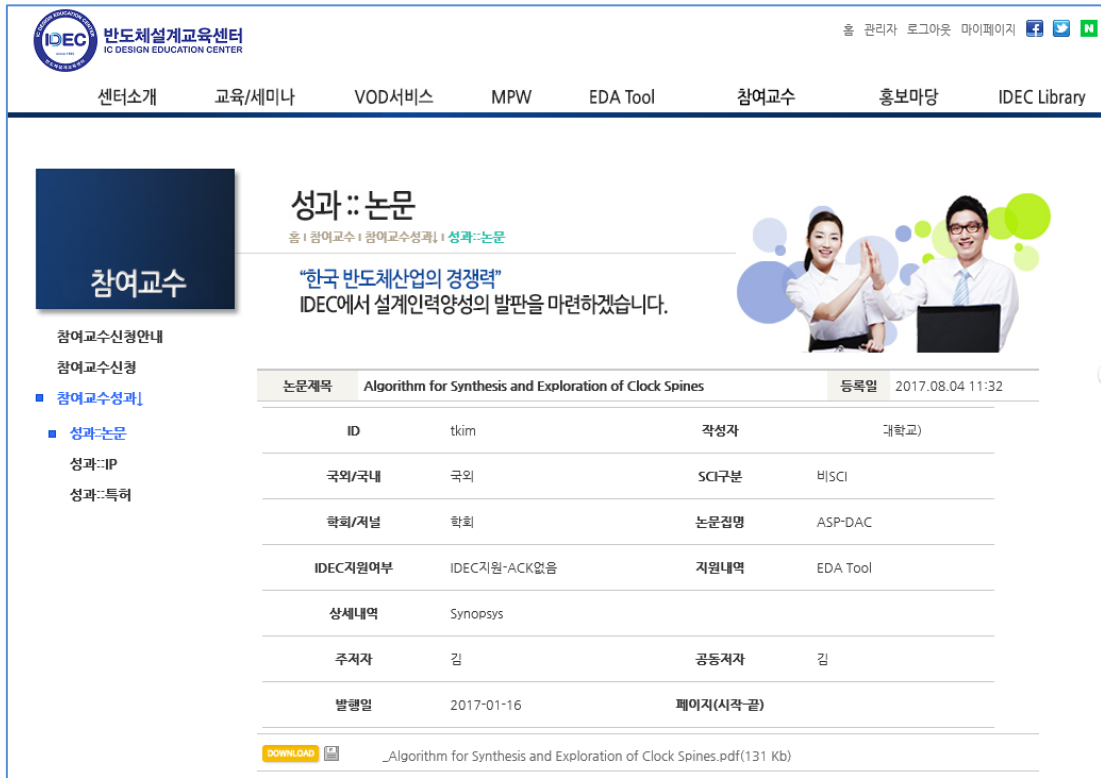
센터소개	교육 / 세미나	VOD서비스	MPW / CDC	EDA Tool	참여교수	알림마당	IDEC Library
센터비전	수강안내	서비스안내	MPW참여안내	EDA Tool소개	참여교수신청안내	공지사항	신입생자료
사업소개	연간교육일정	동영상강좌	MPW신청	EDA Tool신청안내	참여교수신청	뉴스레터	질문/답변
사업성과	수강신청	IDEC유튜브채널	희망공정신청	EDA Tool신청	성과 : 논문	보도자료	자료실
UI	교육자료		CDC소개	EDA Tool설치가이드	성과 : 특허	갤러리	구인/구직
조직·인력	개설희망강좌신청		CDC신청	ASIC설계실	성과 : IP	국제학회일정	
약도	이수제안내		CDC영상				
IDEC캠퍼스	강당예약현황/신청		IP Library				
			Socket/Board				
			Package업체정보				
			테스트보드업체정보				

- 제출 내용 : 논문, 특허, IP, JICAS Citation
 - IDEC 사사 논문은 참여교수 실적 점수로 인정되며, 추후 우수 참여교수, 우수 연구교수 선정시 반영

[제출 항목 및 배점 대상 구분표]

항목	분류	제출 내용	배점대상
논문	IDEC지원받았으며, IDEC 지원을 통한 결과물 및 사사 문구 기재, 감사의 글에 지원 내용 표기가 있음.	<ul style="list-style-type: none"> • 논문/저널명 풀네임으로 기입 • (Published된 경우) 출판일 기입 • IDEC 사사문구가 들어간 페이지번호 기입 • 논문 전체 첨부파일로 업로드 	O
	IDEC지원받았으나, IDEC 지원을 통한 결과물 및 사사 문구 기재, 감사의 글에 지원 내용 표기가 없음.		X
	IDEC지원받지않음	<ul style="list-style-type: none"> • 논문/저널명 풀네임으로 기입 • (Published된 경우) 출판일 기입 	X
특허	IDEC 지원	<ul style="list-style-type: none"> • 출원증이나 등록증 첫장만 업로드 	X
	IDEC 미지원		
IP	IDEC 지원	<ul style="list-style-type: none"> • 등록기관과 등록내역이 함께 캡처된 파일 업로드 	X
	IDEC 미지원		

● 논문(입력 항목 화면)



성과 :: 논문
 홈 | 참여교수 | 참여교수성적 | **성과::논문**

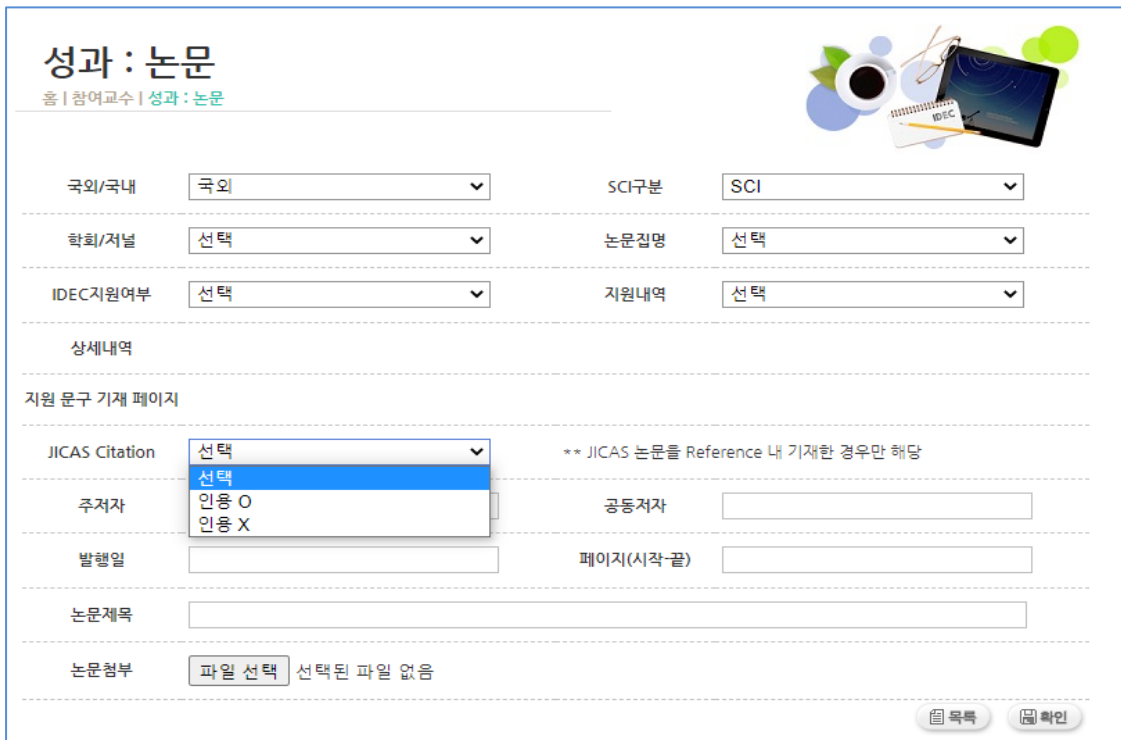
“한국 반도체산업의 경쟁력”
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

논문제목	Algorithm for Synthesis and Exploration of Clock Spines		등록일	2017.08.04 11:32
ID	tkim	작성자	대학교)	
국외/국내	국외	SCI구분	비SCI	
학회/저널	학회	논문집명	ASP-DAC	
IDEC지원여부	IDEC지원-ACK없음	지원내역	EDA Tool	
상세내역	Synopsis			
주저자	김	공동저자	김	
발행일	2017-01-16	페이지(시작-끝)		

DOWNLOAD _Algorithm for Synthesis and Exploration of Clock Spines.pdf(131 Kb)

● JICAS Citation

- 참여교수 실적에 등록된 논문 중 JICAS 내용을 인용한 논문 실적 인정
- 성과 : 논문 게시판에 논문 등록 및 인용 여부 선택



성과 : 논문
 홈 | 참여교수 | **성과 : 논문**

국외/국내: 국외 (선택)
 SCI구분: SCI (선택)
 학회/저널: 선택
 논문집명: 선택
 IDEC지원여부: 선택
 지원내역: 선택
 상세내역: _____

지원 문구 기재 페이지

JICAS Citation: 선택 (선택, 인용 O, 인용 X) ** JICAS 논문을 Reference 내 기재한 경우만 해당
 주저자: _____
 공동저자: _____
 발행일: _____
 페이지(시작-끝): _____
 논문제목: _____
 논문첨부: 파일 선택 | 선택된 파일 없음

목록 확인

● IP(입력 항목 화면)

참여교수

성과 :: IP

홈 | 참여교수 | 참여교수성과 | **성과::IP**

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

IP Name	Low drop out (LDO) regulator in FlexRay Communication	등록일	2016.10.18 11:39
이름	학교명		
IP Code	KU423H0796	등록기관	KIPEX
거래수	1	등록일	2016-04-29
IDEC지원여부	IDEC지원	지원내역	MPW
상세내역	매그나칩반도체/SK하이닉스 180nm		
Category	Analog		

DOWNLOAD Low drop out %28LDO%29 regulator.docx(54 Kb)

KU423H0796 / Register:
IP Code : KU423H0796 | IP 등록일 : 2016-04-29 | 승인일 : 2016-05-12 15:08:31 수정하기

IP Name	Low drop out (LDO) regulator in FlexRay Communication
IP Version	1.0
Category	Analog & Mixed Signal > Amplifier/Filter/Bias Circuit > Voltage Reference
Description	The Designed IP is the Low drop out (LDO) in FlexRay communication. The designed IP cor
Feature	<ul style="list-style-type: none"> - Low Dropout Voltage : 500mV - Output current : 1.1mA - Wide range of supply voltage(2.8V~6V) and temperature(-40°C~80°C) - Adjustable Output
Foundry	Magnachip Semiconductor
Technology	0.18um s ~ < 0.25um
IP Type	Hard IP
Format	Spice
Silicon Verification Status	개발검증
적용된(될) Chip의 Function	LDO regulators are used to derive lower output voltages from a main supply or battery. Th
적용된(될) Chip의 Application	<ul style="list-style-type: none"> - Power management IC, Voltage monitor etc. - This IP can be applied to variety of chips which is demanded using the various supply
Biz 범위	<ul style="list-style-type: none"> • 핵 실험포함 판매가능성 • 기술지원 가능성 • 관련된 산업유망가능성

● 특허(입력 항목 화면)

참여교수

성과 :: 특허

홈 | 참여교수 | 참여교수성과 | **성과::특허**

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

특허명	MULTI-REFERENCE CORRELATED DOUBLE SAMPLING DETECTION METHOD AND MICROBOLOMETER USING THE SAME	등록일	2016.10.24 19:12
이름	학교명 KAIST		
국제/국내	국제	출원/등록	출원
출원/등록번호	CN-201610847293.6	등록일	2016-10-24
IDEC지원여부	IDEC지원	지원내역	MPW
상세내역	매그나칩반도체/SK하이닉스 350nm		

DOWNLOAD P-13487-CN(OP2016-055) 출원서류 (1).pdf(1 M)

기존의 열전 냉각기 및 기계적 셔터를 제거할 수 있는 전기적 셔터를 회로 동작을 통해 구현함으로써, 획기적으로 모듈 비용을 감소 시킬 뿐만 아니라, 넓은 동작 온도를 보장하며, 이를 자유롭게 조정할 수 있음.

목록
쓰기
수정
삭제

③ 신청내역 확인 및 수정

- 마이페이지 → 참여교수 신청내역에서는 지금까지 참여한 참여교수 신청 상세 내역을 확인 할 수 있으며 지도학생 수정 및 인력배출현황 기입 가능

IDEC 참여내역
 홈 | 마이페이지 | IDEC 참여내역 | 참여교수신청내역

“한국 반도체산업의 경쟁력”
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

참여교수 신청내역

제목	활동기간	신청일자	상태
2019년 참여교수 신청	2018-11-01~2019-10-31	2018-10-17	신청완료
2018년 참여교수 신청	2017-11-01~2018-10-31	2018-04-04	활동기간

- 참여교수 신청내역의 상세 페이지를 보면 실적산정기간 중 달성한 실적과 실적 별 배점기준에 따라 부여한 점수가 보여지고 해당 점수를 클릭하면 상세 내역도 확인 가능

IDEC 참여내역
 홈 | 마이페이지 | IDEC 참여내역 | 참여교수신청내역

“한국 반도체산업의 경쟁력”
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

참여교수 신청내역 상세

2019년 참여교수 신청

신청기간	2018-10-18 ~ 2018-11-07	신청완료	
활동기간	2018-11-01 ~ 2019-10-31	결과보고제출기간	2019-10-14 ~ 2018-11-02

참여교수 실적

MPW	0건 / 0점	논문	0건 / 0점
기타성과	점		

신청 정보

참여구분	<input checked="" type="radio"/> 참여교수	특성화분야	특성화 분야 팝업창 띄우기 <input type="checkbox"/> 작성
회원ID	test	이름	테스트
학교명	KAIST	학과명(학부명)	전자과1

※ 학회 및 저널 등급표

구분	등급	내용
학술 대회	A	ISSCC / Symposium & VLSI circuit and Technology(SOVC) / CICC
	B	DAC / ICCAD / ASSCC / IEEE RFIC Symposium / ESSCIRC
	C	ISCAS / ASP-DAC / COOLCHIPS / BIOCAS / EMBC / HOTCHIPS
	D	기타 국제 학회
저널	A	IEEE TCAS I / IEEE TCAS II / IEEE JSSC / IEEE Transaction on Electron Devices / IEEE Transaction On CAD / IEEE Transactions on Microwave Theory and Techniques (*또는 이에 준하는 저널)
	B	A등급외 관련분야 IEEE 저널(단, IEEE Transactions on Consumer Electronics는 제외) / ACM / SCI-E
	C	기타 국제 저널
	D	국내 저널

9. 우수 참여교수 선정

- 1) 5년 이상 활동한 참여교수 중, 최근 1년 동안 참여활동이 우수한 교수를 선정하여 시상
- 2) 선정 방법
 - ① 최종 산출된 실적 점수를 근거로 상위 점수자를 선정(3~5명 내외)
 - ② 해당 실적 : IDEC 참여 실적, 논문실적(IDEC 사사문구가 들어간 논문만 해당)
 - ③ 점수 산출 방법
 - IDEC 참여실적 점수와 논문실적 점수의 비율 = 2:1 적용
 - 위 비율 적용된 값의 총합계 산출
 - 선정 제외 대상 : 전년도 수상자, 수상 대상자 중 불참자
 - ④ 참여교수 운영위원 검토후 최종 선정
- 3) 시상
 - ① 시기 : IDEC Congress 우수참여교수 시상 시
 - ② 부상 : 상패 및 부상은 매년 상이함

10. 우수 연구교수 선정

- 1) 당해연도 참여교수 실적인정 논문을 바탕으로 상위 2명 내외 선정
- 2) 선정 방법

- ① 최근 3년간 A급 학술대회 발표 및 A급 저널 논문 15편 이상(사사문구가 기입된 논문만 심사 대상으로 함.
- ② 최근 3년간 우수연구교수상 수상자 제외
- ③ 기준에 부합하는 대상자가 없을 경우, 그 해는 수여하지 않음.

* 참고_논문 실적 배점기준표

등급	배점	학회명
A급 학회논문	15	ISSCC, Symposium & VLSI circuit and Technology(SOVC) , CICC
B급 학회논문	7	DAC, ICCAD, ASSCC, IEEE RFIC Symposium, ESSCIRC
C급 학회논문	4	ISCAS, ASP-DAC, COOLCHIPS, BIOCAS, EMBC, HOTCHIPS
D급 학회논문	2	기타 국제학회
A급 저널논문	15	IEEE TCAS I, IEEE TCAS II, IEEE JSSC, IEEE Transaction on Electron Devices IEEE Transaction On CAD, IEEE Transactions on Microwave Theory and Techniques
B급 저널논문	7	A등급외 관련분야 IEEE 저널(단, IEEE Transactions on Consumer Electronics는 제외), ACM, SCI, SCI-E
C급 저널논문	4	기타 국제저널
D급 저널논문	2	국내저널

3) 시상

- ① 시기 : IDEC Congress 우수 연구교수 시상 시
- ② 부상 : 상패 및 부상은 매년 상이함

2

MPW 참여 안내

1. MPW 참가 대상 및 설계 참여시 이행 사항

1) 개요

- ① MPW(Multi-Project Wafer)는 대학의 칩제작 지원 프로그램으로 국내 전문설계인력 양성을 위해 특성별 공정 지원으로 운영됨.
- ② 창의적인 아이디어를 실제 칩으로 구현할 수 있는 기술 지원을 제공하여 실질적인 교육 및 연구 지원. 또한 칩제작비를 직접 지원하여 설계할 수 있도록 지원함.
- ③ Layout 과정까지 수행되던 교육 및 연구를 실제 chip의 제작, 시험, 응용까지 연계시킴으로써 설계능력을 갖춘 고급 인력 양성이 가능하도록 함.
- ④ 1996년부터 시행하였으며, 매년 200여개의 칩제작 지원함.

2) 참가 대상

- ① IDEC 참여교수로 협약서 체결이 완료된 대학교의 연구실
- ② 신청 조건 : 참여 희망년도 이전 2년간의 'IDEC 지원 사사문구' 포함된 논문 실적이 있는 경우 참여가 가능함. 단, 해외 희망공정의 경우는 국제 학회 및 저널의 논문 실적이 있어야 함.

**** 논문실적 업로드는 IDEC 홈페이지에서 상시 가능(2024년 참여시 인정 논문 범위 : 2022.03~2024.02(상시 등록 가능))**

- ③ 반드시 교육 및 비상업적 연구 목적으로만 제작 참여해야 함.
- ④ 이외 목적으로 참여한 것이 확인될 경우 참여교수 지원이 중단.박탈됨.

3) MPW 참가시 의무 이행 사항

구분	의무 내역	제출 기한
삼성/DB 공정	Design Rule file 관리 의무	NDA 체결을 통해 제공된 설계데이터 관리
공통	IP 소개서 제출	DB 제출과 동시에 작성 (IDEC 홈페이지-마이페이지)
	결과보고서 제출	칩제작 완료 후 2개월 이내 제출
	결과 발표 및 전시(Chip Design Contest, CDC)	칩제작 완료 후 2개월 이내 제출 (포스터 및 발표영상 업로드)

구분	의무 내역	제출 기한
희망공정 참여팀	JICAS 제출	칩배포일 기준 1년 이내 제출해야 함. 불참시 참여 신청 불가
	(해외공정 해당)칩설계 설치확인서 제출	칩수령일로부터 3주이내

[공통]

- ① Design Rule file 관리 의무
 - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실 담당자만 사용 가능
 - 해당 설계 외 사용 및 외부 유출이 되지 않도록 철저한 보안유지
 - 관리 소홀로 외부 유출이 될 경우 법적 책임이 주어지며, IDEC 참여교수 활동 제한함.
 - 설계를 위해 배포된 Design rule file은 NDA 작성한 연구실의 지도교수와 설계참여자만 사용 가능
- ② 결과보고서 제출(칩제작 완료 후 2개월 이내 제출)
 - 영문 5쪽 이상으로 작성하여 제출(2015년 설계자부터 적용)
 - 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정 시 설계자와 최종 내용에 대해 상의함.(희망공정 참여시 JICAS 참여의무를 가짐.)
- ③ 결과 발표(IDEC Chip Design Contest) : 칩제작 완료 후 1년 이내 참여
 - 논문 제출 및 데모(패널) 전시
 - 불참 시 패널티 적용(MPW 참여 제한)
 - 횡수만큼 MPW 참가 신청비의 1.5배를 적용하며 2회 이상 미참여 시 해당 연구실은 MPW 참여가 제한됨.
 - CDC 개최 학회
: KCS(1-2월중 개최), IDEC Congress(7월 개최), ISOCC(10-11월 중 개최)
- ④ MPW 참여시 제출 및 미 작성된 내역을 해당 기간에 미 제출한 경우 이후 진행되는 MPW 신청이 불가함. 반드시 해당 내역을 모두 수행되어야 함.

[희망공정 설계팀]

- ① JICAS 게재 의무 : 칩제작이 완료된 후 1년 이내 제출
 - 결과보고서 제출 내역 확인 후 제출을 요청할 예정

- JICAS 참여 대체 조건(2021 년 희망공정 참여팀부터 적용) : 해당 학회 및 저널에 논문 기재된 경우
- 적용 학회(** 해당 기준은 2023 년 기준이며, 적용조건은 조정될 수 있음.)

학회	저널
- ISSCC - CICC - Symposium on VLSI circuit(SOVC) - ASSCC - RFIC Symposium - ESSCIRC	JSSC, T-BioCAS, Transaction on Power Electronics TCAS I, T-MTT, TCASII, MWCL * 저널은 매년 조정될 수 있습니다.

- 참여시는 담당자에게 전달해 주시면 해당 실적으로 인정함.
- 논문 등록 방법 : IDEC 홈페이지 - 교수님이름으로 login - 참여교수 - 논문등록 - 등록시 'JICAS 대체 클릭'(상시 등록 가능)

2. 2024년 MPW 지원 내역 및 일정

1) 2024년 MPW 지원 내역

① 당해년도 지원 공정과 일정에 대한 결정 시기 : 2월 중 최종 확정

② 2024년 변경 내역

- 삼성 28nm FD-SOI 공정 2회 지원 예정
- (해외)희망공정 지원 확대 : 3월 tape out 팀부터 지원 가능(2024.03월~12월)
- DB Hitek 180nm는 희망공정으로 편입되어 지원. 이에 따라 JICAS 참여 의무를 수행해야 함. (2024년 지원분부터 적용)
- **취소팀 패널티 적용 기준**(2024년부터 적용. 2023년 공지된 내용임)

취소횟수(년기준)	1 회	2 회	3 회 이상
참가신청 제한 (취소년도의 다음해 적용)	차년도 MPW 신청 제한 3개월 (2~4월 모집팀(마감일 기준))	1년	2년 참여 불가
예)2023년 취소시 2024년 적용 조건	2024년 3~5월	2024년 모집 전체	2024~2025년

① 2024년 MPW 지원 공정 내역 : 정확한 지원 수와 지원 규모는 1월말에 공지 예정

- **지정공정** : 공정사의 무료 제작으로 지원되는 공정으로 모든 환경과 일정은 일괄로 정해진 대로 진행함.

=> **2개 공정**(삼성 28nm(RFCMOS / FD-SOI) **최대 160개 칩 제작 지원**

- **희망공정** : 제작비를 직.간접적으로 IDEC에서 지원하는 공정

a. (국내)희망공정 : DB Hitek 180nm

=> 년1회 **최대 20개 칩 제작 지원**(팀별 약 600만원 제작비 지원)

b. (해외)희망공정 : 해외 공정을 칩제작 하는 경우

=> 년4회 **최대 60개 칩 제작 지원**(팀별 제작비의 70%(최대1,500만원) 지원)

구분	회사	공정	공정내역	Size (mmx mm)	칩수 /1회	모집 횟수	Package 사용 pin 수(Design)	Package type
지정공정	삼성	28nm RFCMOS	CMOS RF 1-poly 8-metal	4x4	40	2	208pin	LQFP 208pin
		28nm FD-SOI	FD-SOI (Fully Depleted-Silicon on Insulator)	4x4	40	2		

(국내) 희망공정	DB Hitek	180nm BCDMOS	CMOS 1-poly 4-metal TM	5x5	20	1	지원하지 않음.
(해외) 희망공정	국내외 공정 (자유선택)	250nm ~28nm BCD/RF 등	MPW 지원 공정 외 TSMC 공정 등 희망하는 공정에 대해 제작 지원	자유선택	15	4	

② 지원 공정 세부 내역 확인 방법(아래 창에서 참여 방법과 일정 확인 가능)

MPW / CDC

MPW참여안내

홈 | MPW / CDC | [MPW참여안내](#)

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.

MPW참여안내

- MPW신청
- 희망공정신청
- CDC소개
- CDC신청
- CDC영상
- IP Library
- Socket/Board
- Package업체정보
- 테스트보드업체정보

MPW(Multi-Project Wafer)

- 국내 대학(원)에서 시스템반도체 실무설계 능력을 가진 인력 양성을 위해 칩설계에서 제작까지 경험할 수 있도록 기회 제공
- 삼성전자, 매그나칩반도체, SK하이닉스, 동부하이텍, TowerJazz의 칩제작 지원
- Semiteq, Amkor 패키지 사업 지원
- 매년 10개 내외의 공정으로 공모전 진행, 300여개의 Chip 제작
- 참여 대상 : IDEC 참여교수/참여학생

MPW Flow

2) 2024년 MPW 진행 일정

- 회사 표기 방법 변경 : "공정코드-년도모집순서" (예시) **삼성28nm FD-SOI 2024년 01회차 : SF28-2401**)
- 국내외 MPW 공정 추가 지원(DB Hitek 공정과 희망공정)은 정부과제 예산으로 지원. 예산 변경에 따라 지원 수는 조정될 수 있음.
- 아래 일정 및 지원 내역은 최종 확정 전으로 조정 가능함. (**2월 중 확정)

회사구분 (공정_회)	모집 (신청마감)	제작 칩수	DB 마감 (Tape-out)	DB 전달 (Fab-in)	Die-out	공정사	공정
SS28-2401	2024.02	40	2024.07	2024.08	2024.12	삼성	28nm
SS28-2402	2024.07	40	2024.11	2024.12	2025.06		RFCMOS
SF28-2401	2024.02	40	2024.09	2024.10	2025.03		28nm
SF28-2402	2024.07	40	2025.01	2025.02	2025.07		FD-SOI

회차구분 (공정_회)	모집 (신청마감)	제작 접수	DB 마감 (Tape-out)	DB 전달 (Fab-in)	Die-out	공정사	공정
D180-2301	2024.02	20	2024.07	2024.07	2024.11	DB Hitek	180nm BCD
HM-2401	2024.02	15	2024.03.01 ~ 05.31		2024.05 월 ~08 월	희망공정	250nm ~ 28nm BCD, RF 등
HM-2402		15	2024.06.01 ~ 08.31		2024.8 월 ~11 월		
HM-2403	2024.07	15	2024.09.01 ~ 11.30		2024.11 월 ~ 2025.02 월		
HM-2404		15	2024.12..01 ~ 2024.01.15		2025.02 월 ~4 월		

- 모집 : 모집 마감 2주전부터 접수
- 선정 결과 : 모집 마감 후 20일내 개별 통보
- Package 제작 지원 공정 : Die out 이후 1개월 소요됨.

3) MPW 지원 공정별 내역 정리

- 공정별 진행 절차

공정		NDA체결	설계 설명회	DB 제출 (IP소개서)	Fab out	결과보고서/CDC 참여	JICAS
삼성	28nm RFCMOS	설계팀-삼 성간 계약	선정 후 4주 이내 개최 (온라인 제공 필 수 구독)	1차) DB 제출 서(IP 소개 서) 작성 (Web)	IDEC에서 배포	(전체동일) 결과보고서 - 칩 제작 후 2개월 이내 제출 CDC - 칩 제작 완료일 기준 1년 이내 참여	우수팀에 제출 요청
DB Hitek	180nm BCDMOS	설계팀-공 정사-IDEC 간 체결		2차) 설계데이 터 제출 (DB-지정 된 Ftp)			
국내외 MPW 공정으 로 설계팀이 제작을 희망하는 공정 (250nm ~ 65nm 공정 RF/ BCD 등)		설계자가 공정사와 직접 체결		공정사에 직접 제출			IDEC 지 원분은 IDEC 수 령 후 배 포

- 참가비(*2023년 기준이며, 최종 지원 기준은 2월 중 공지)

구분	공정		참가비	참가신청	선정평가구분
지정 공정	삼성	28nm RFCMOS 28nm FD-SOI	30만원	설계회로 설명서	모집팀수> 제작가능수

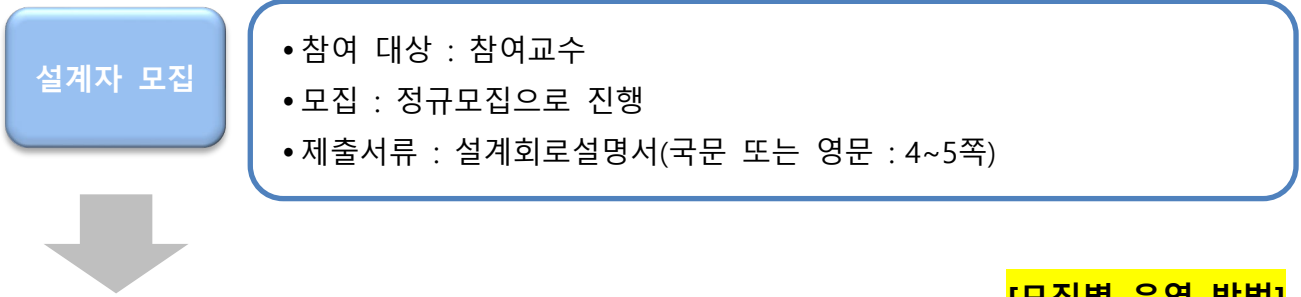
구분		공정		참가비		참가신청	선정평가구분
희 망 공 정	국내	DB Hitek	180nm BCDMOS			(4쪽 내외)	
	해외	국내외 MPW 공정으로 설계팀이 희망하는 공정 (250nm~65nm 공정 RF/ BCD 등)		IDEC지원금 (70% 최대 1,500만원, 최소부담금 300만원)	대학별 공정사 와 계약에 직 접 납부(IDE C은 추가 납부)		평가로 선정

3. MPW 참여 방법

1) 참여 대상 및 준비사항

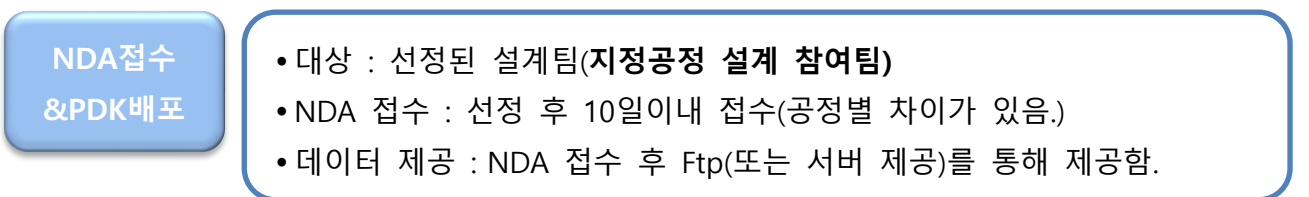
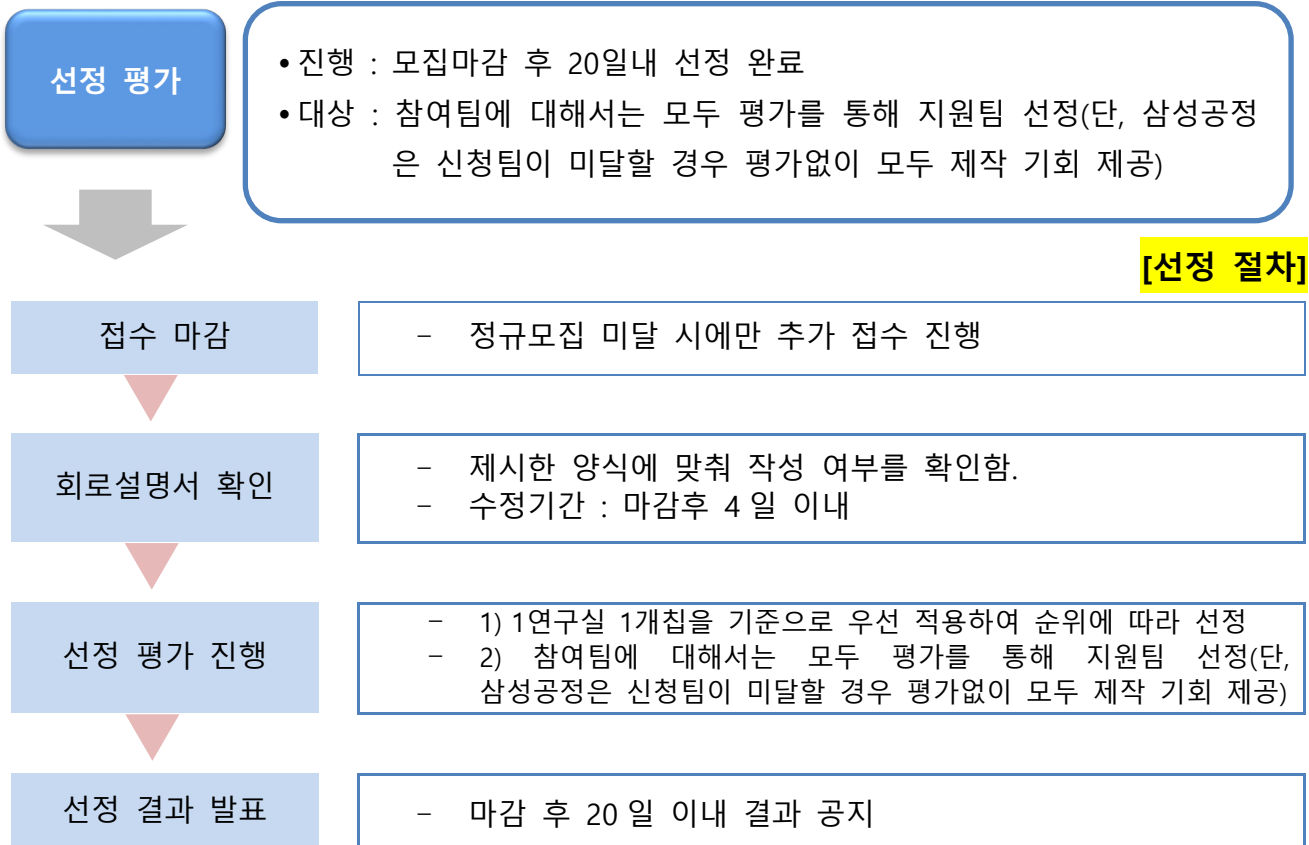
- ① 참여 가능 대상자 : IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실로 최근2년간 IDEC 지원 사사문구가 포함된 학회 및 저널에 게재한 논문 실적이 있는 경우 신청이 가능함.(해외 희망공정의 경우는 국제학회 및 저널 실적이 있어야 지원이 가능함.)
- ② **설계회로설명서**(설계계획서로 사전 작성하여 신청 시 첨부해야 함.)
 - 공정사 제출 및 평가 자료로 활용(실 설계 내용과 동일해야 함.)
 - 국문 또는 영문으로 4쪽 이상으로 작성.
 - **설계회로설명서 양식 및 작성요령**(*IDEC 홈페이지-MPW-MPW참여안내 다운로드)
- ③ 삼성 공정 설계 참여팀은 IDEC 클라우드 서버를 접속하여 설계 진행
 - 서버 접속 : NDA 계약 체결자(지도교수와 실설계자 - 참여신청 설계명단)
 - IDEC 클라우드 서버 접속 방법 등 관련 안내 : 선정팀에게만 별도 안내함.

2) 진행 절차(Flow)



모집구분	모집
모집팀수	제작 가능 칩 수의 100% 이내 모집(*미달시 추가모집 진행)
선정방법	삼성공정 : 모집팀수>제작 가능 수 =>의 경우 평가로 선정 이외 공정 : 모든 참여팀을 평가하여 제작 지원팀을 선정함.
설계설명회	회차별 개최(선정 후 4주 이내 개최) 또는 온라인 자료 제공
NDA 체결	선정 안내 후 제출(지정공정 : IDEC 을 통한 일괄 체결, 희망공정 : 설계팀의 개별 체결)

모집구분	모집
Design Kit(DK)배포	지정공정) NDA 제출 이후 IDEC 에서 일괄 배포(수령 방법은 채택 통보시 안내) · M/S 공정 및 DB Hitek 공정: ftp 를 통해 데이터 수령 · 삼성공정 : IDEC 클라우드 서버 접속으로만 사용 가능 희망공정) 설계팀이 NDA 체결 후 직접 수령, 체결 업체를 통해 제공받음.
참가비 납부 (지정공정)	선정 안내 후 1 개월 이내 납부 완료



구분	DB Hitek 공정	삼성 공정
제출방법	공정사가 제공한 양식으로 작성	
계약체결 대상	설계참여대학 - 공정사 - IDEC	설계참여대학 - 공정사 (IDEC은 각 학교의 대리인 역할 수행)

제출시기	선정 완료 후 15일내(공정사의 양식검토로 지연될 수 있음)	
PDK 제공 방법	FTP를 통해 다운가능	IDEC 클라우드 서버에 위치 -서버 접속하여 설계진행
PDK 제공 시기	공정사의 NDA 승인 후 제공(NDA 마감 후 10일내)	공정사의 NDA 승인 후 접속하여 설계 가능
비고		NDA는 각 학교별 계약 체결. 총장(또는 산학협력단장)의 직인 날인-설계팀에 별도 안내

설계설명회 개최



- 대상 : 지정공정)선정된 설계팀 중 NDA 제출팀 참여 가능함. 설명회 참여 또는 제공된 시청각 자료를 시청해야 PDK를 제공함
희망공정)설계설명회가 개최되지 않음.
- 개최 : 지정공정은 선정 후 4주 이내(희망공정은 개최하지 않음)

참가비 납부 및 지원



- 삼성 & DB 공정 : 참가비 납부를 선정 후 30일 이내해야 함.
- (해외)희망공정의 경우 : 설계팀이 공정사로부터 받은 견적서를 제출하면 IDEC 지원 금액을 확인하여 견적서를 발행해서 제출해야함. (fab in 6주 전)
- 지원 절차 : 해당 설계팀에게 개별 연락하여 해당업체에 칩제작비 지원

DB 접수 (지정공정)



- DB 제출 안내 : 제출일 4주전 공지
- DB 접수
: 1)Web-DB제출 검증(DB공정 제외) 2)Web-DB 제출서 작성 3)Ftp DB 업로드(삼성공정은 클라우드 서버)

- 팀별 Device Logo 및 Login account No. 지정
- DB 제출시 : IP개요 및 Layer 사진도 업로드 해야 제출 가능함.

DB 검토

- DB 검토 : 접수 후 2주~4주 내 검토하여 공정사 전달
- 검토 진행 : 담당 연구원(삼성 및 DB 공정)
- 희망공정은 설계팀에게 개발 검증



- DB Hitek 공정 : 제시된 ftp에 제출
- 삼성 공정 : 1~2주전부터 검토 작업 후 머지 진행
- 희망 공정 : 설계팀 내에서 자체 검증하여 제출

결과보고서
/NDA폐기확
인서 제출

- 제출 : 칩 제작완료 일로부터 2개월내
- 방법 : Web에서 제출
- 결과보고서: 영문 5쪽 이상으로 작성
- NDA 폐기확인서: 모든 설계팀 서명 필수(결과보고서 제출시)



CDC 참여

- 3회 개최 : 한국반도체학술대회(1-2월), IDEC Congress(6월), ISOCC(10-11월)
- 참여 방법 : 논문 제출, 전시 참여(데모 또는 패널)
- 설계팀은 포스터 및 발표 영상을 업로드해야 함.



JICAS
논문제출

- 설계전문학술지 : 논문 제출
- 희망공정은 제출 의무(제작완료 후 1년 이내 제출, 대체 논문 가능)

4. 참여 방법(지정공정)

1) 설계 참여팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
 - 설계 내용 확인 및 평가시 자료로 활용(실 설계 내용과 동일해야 함.)
 - 내용 구성 : 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법, 설계면적에 대해 내용 기재
 - **국문(또는 영문) 4~5 쪽으로 작성**(2016 년 MPW 부터 적용)
 - **회로설명서 양식 및 작성요령 파일 다운로드**(*IDEC 홈페이지/MPW/참여안내)
- 삼성 공정 설계는 IDEC 클라우드 서버로 접속해서만 설계가 가능함.
 - 접속 방법은 설계 참여자에게 별도 안내

2) 신청 확인

- 지도교수 ID - 마이 페이지에서 확인
- 접수 기간 내에만 수정/취소 가능(평가전까지는 직접 수정 가능)
- 평가 진행 후는 마이페이지에서 수정/취소 신청을 해야 함. 직접 수정이 아닌 메일로 내용이 전달되도록 함.
(취소기간에 따라 패널티 적용 범위가 다름.(참가비 항목 참조))

① 신청서 수정 방법

- 모집 기간 내 수정
 - 마이페이지에서 내역을 수정할 수 있음.
 - 예외)경쟁률이 높아 평가 진행되는 회차는 평가 준비 기간 내도 수정 가능함.
- 모집 기간 후 수정
 - 마이페이지 - 수정 - 메일로 전달 - 이후 수정 처리됨. (아래 그림 참조)

SS28-2202회 삼성전자 28nm (정규모집)

신청기간	평가기간	선정발표	NDA 제출기간	결제기간	DB 제출기간	Die-out Package	결과보고 제출기간
2022-04-25 ~ 2022-05-16	2022-05-20 ~ 2022-05-29	2022-05-30	2022-05-30 ~ 2022-06-23	2022-05-30 ~ 2022-06-30	2022-12-26 ~ 2023-01-16	2023-07-10 2023-08-10	2023-07-11 ~ 2023-09-10

- [신청 정보 상세](#)
[교육VOD](#)
[DB제출](#)
[수정신청](#)
[클라우드서버신청](#)

이메일 수정신청

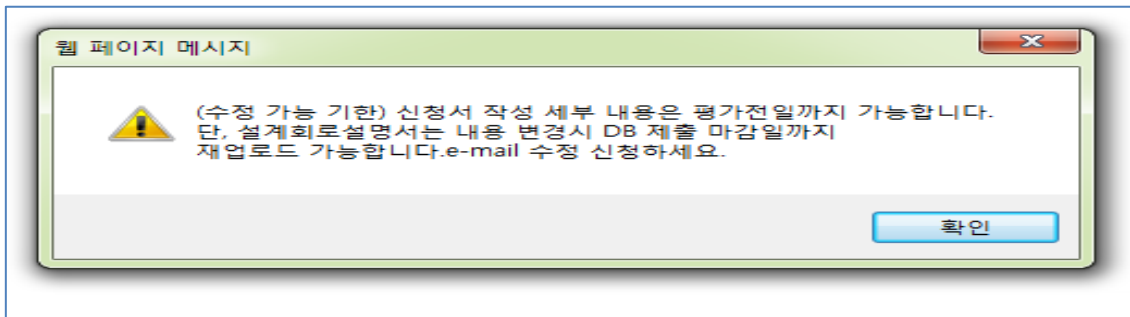
회차	SS28-2202(정규모집)	공정명	삼성전자 28nm
이름	김철우	학교명	고려대학교
회로제목	A Multi-Phase Interleaved Synchronous Quasi-Digital LDO with Adaptive Sampling Scheme		

수정내용(자세하게 기재해주세요)

- 설계 참여 학생 추가의 경우 교과과정, 현재 학기를 입력해주세요

수정 전 내용	수정 희망 내용
예시1) Package BGA type 예시2) 설계자 추가 희망	예시1) Package LQFP type으로 변경 희망 예시2) 000 석사 3학기 추가

- [이전으로](#)
[제출](#)



3) 설계팀 선정

① 채택확인

- 지도교수 ID - 마이 페이지에서 확인
- 선정 안내 : 마감 후 15일내 선정 안내함. (평가 진행 시 다소 선정이 지연될 수 있음.)
- 선정 방법 : 경쟁률이 높은 경우 아래의 기준으로 평가 진행하여 선정함.

마이페이지

IDEC 참여내역

홈 | 마이페이지 | IDEC 참여내역 | MPW신청내역

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발판을 마련하겠습니다.



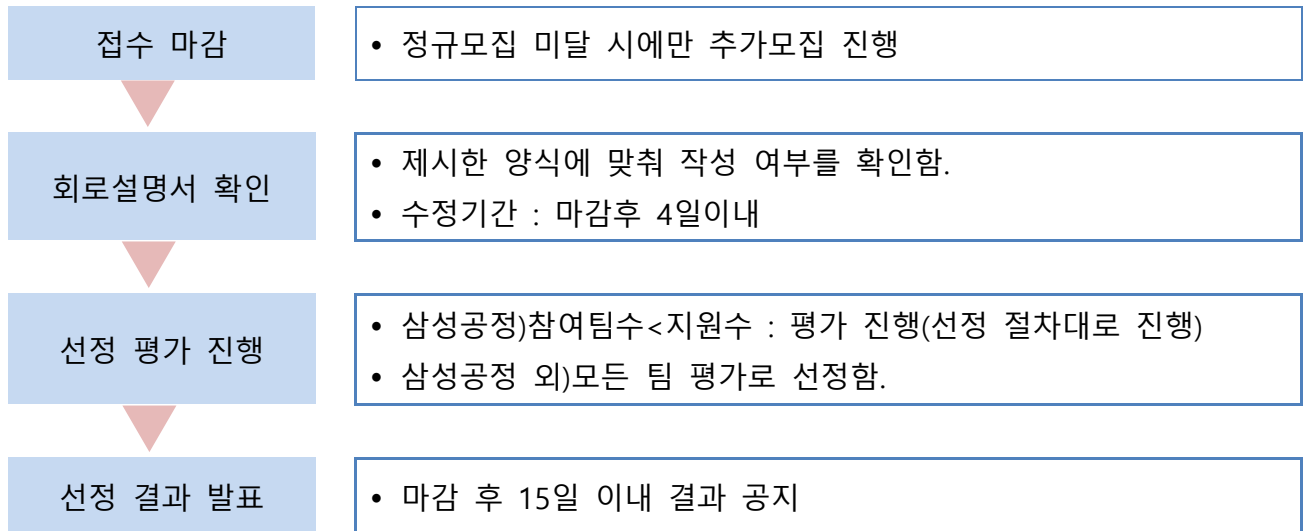
회원수경
비밀번호변경
IDEC 참여내역
교육신청내역
VOD신청내역
WG참여내역
MPW신청내역

MPW신청내역

회사	공정	모집구분	신청일자	채택여부	공정상태	
MS180-1505회	매그나칩반도체/SK하이닉스 0.18μm		우선모집	2015-02-23	채택	힘제작 대기(2015.12.21)
	NDA제출 제출	DB제출 제출	결과보고제출	CDC참여		

- 많은 설계팀이 참여가 가능하도록 효율적 설계 면적 활용에 배점을 추가하여 평가 진행.

② 설계팀 선정



- 선정 절차

- 1 연구실 1 개칩을 기준으로 우선 적용하여 순위에 따라 선정
- 설계 면적 재조사를 통해 전체 면적 조정
- ①~② 적용으로 조정이 이뤄지지 않을 경우 평가로 결정

• 평가 진행 기준

★ **평가 자료** : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ **평가위원** : 공정 참여 지도 교수로 위촉

평가위원 참여 연구실에는 평가 가산점 부여

★ **평가 항목 및 배점 내역(100점)**(배점 조정 : 2015.2월 모집부터 적용)

- 1) 디자인의 우수성 30점 2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점
- 3) Chip수령 후 검증방법 15점 4) Design size(공간 활용도) 25점 5) 활용계획 5점
- 6) 평가위원들의 주관적 점수 10점

★ **선정 원칙**

경쟁률이 높을 경우 '1연구실 1개집'을 기준으로 우선 적용하여 순위에 따라 선정

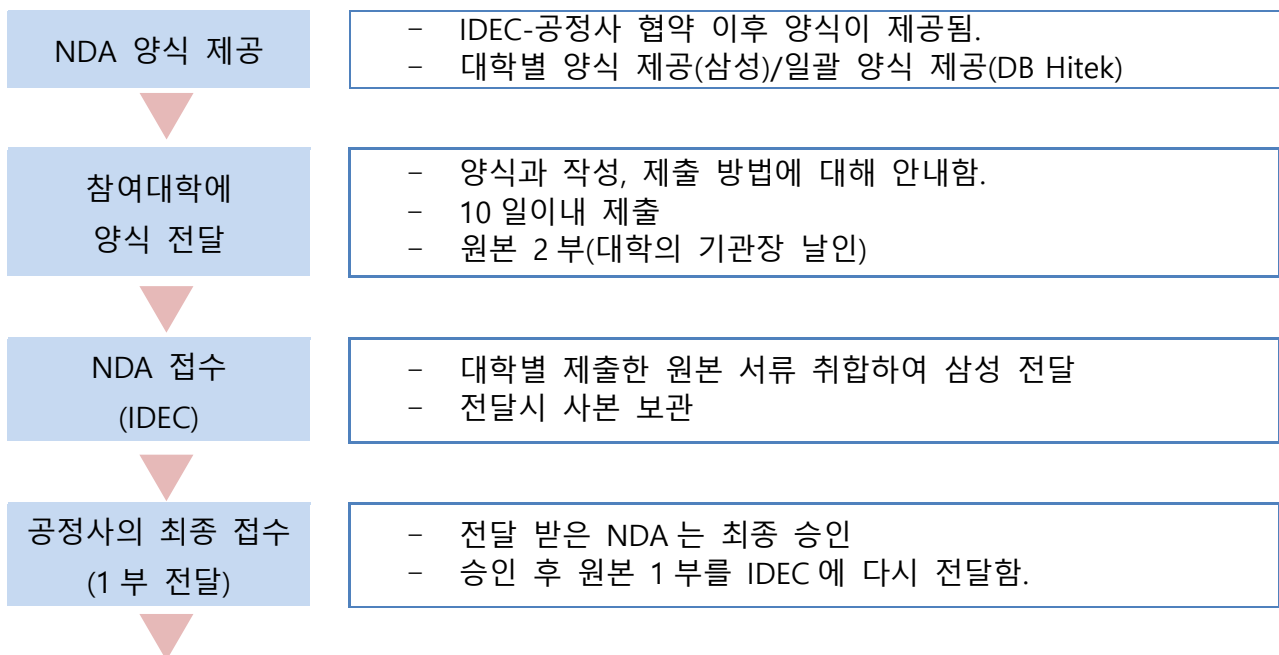
우선 선정 후 남은 면적에 대해서는 평가 결과에 따라 제작 기회 제공

*추가 가산점 : 면적을 1/2 또는 1/4로 조정한 경우

4) NDA(Non-disclosure agreement) 접수 및 설계데이터(PDK) 배포(지정공정에 해당됨.)

- ① NDA(Non-disclosure agreement) : 설계시 필요한 PDK(Process Design Kit) 제공을 위해 설계자-공정사(대리: IDEC)간 보안유지협약서
- ② NDA 체결 대상 : MPW 선정 팀
- ③ 공정별 별도 NDA 제출 안내(지정공정에 한함.)
- ④ 공정별 NDA 접수 방법
 - 삼성/DB Hitek 공정

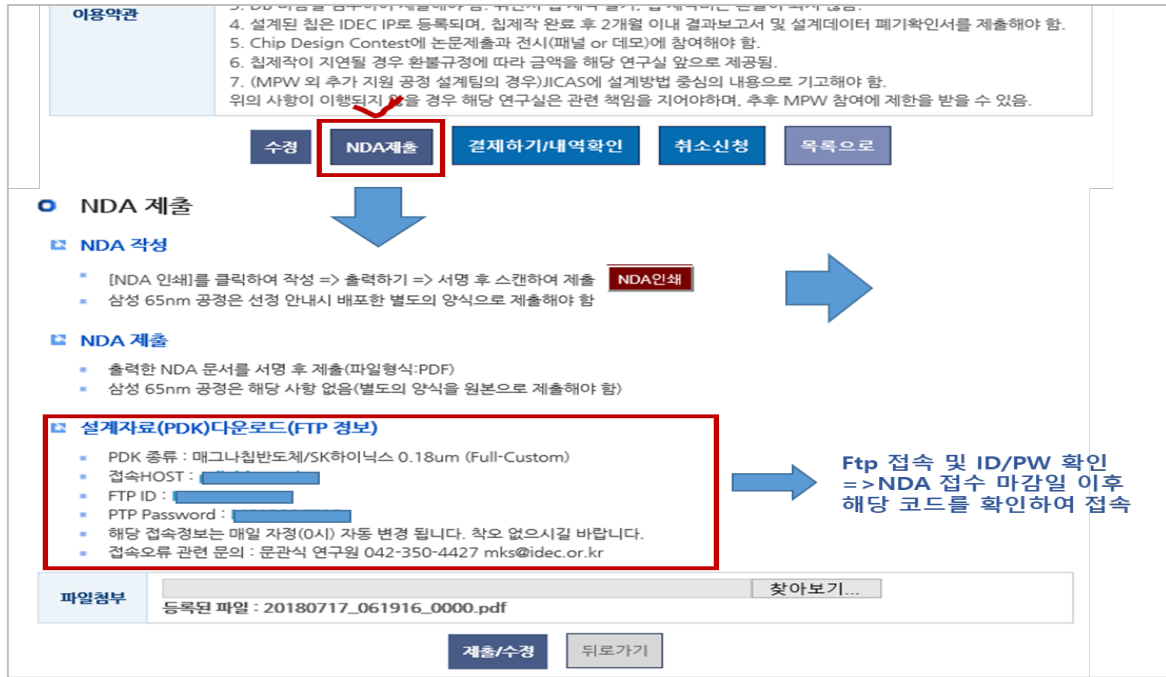
• 날인된 원본 우편 접수 - 실사를 통해 PDK 제공



설계팀에 전달

- 전달받은 서류를 대학 담당자에 전달

- NDA 체결
 - MPW 참여 대학 - 삼성과 체결(IDEC 은 대리인 역할)
 - 각 대학의 대표는 기관장으로 한다.(총장 또는 산학협력단장)
 - 체결은 대학에서 설계 참여시 진행됨.
 - 체결 방법
 - 대학에서 날인한 원본 2 부를 IDEC 에서 접수
 - 접수한 서류를 삼성에 전달
 - 공정사에서 최종 직인 날인하여 대학별 1 부를 IDEC 에 발송해 줌
 - 발송된 내역은 각 대학 담당자에게 발송해 준다.
 - 참고) IDEC 에서는 해당 서류의 사본을 보관한다.
 - 특이 사항
 - 대학별 1 년에 1 회 체결로 동 대학의 모든 설계팀은 참여 가능. 단, 이외 설계팀은 약식의 NDA 제출을 해야 함.(공정사의 사정에 따라 달라질 수 있음.)
 - 계약자는 '참여학교- 공정사'이며, 학교별 NDA 승인은 총장(또는 산학협력 단장)이 해야 함.
- ⑤ 설계데이터(PDK) 배포 방법 및 시기
- 체결 대상 : PDK는 설계에 필요한 데이터로 NDA 체결한 설계팀에게만 전달됨.
 - 공정별 배포 방법과 시기에 차이가 있음.
 - 해당 데이터는 IDEC에서 보유하며, 설계팀의 보안도 IDEC에서 관리 감독한다.
 - DB Hitek 공정
 - Web 에서 접수 - Ftp 로 PDK 제공
 - Ftp 접속 방법 및 배포
 - NDA 접수 마감일 이후 마이페이지-NDA 제출(web)에서 접속 Host 및 ID/PW 를 확인할 수 있도록 설정됨.
 - ID/PW 는 매일 변경되며, 데이터 수령시 마이페이지에서 재 확인 필요
 - 배포 기간 : NDA 접수 마감일 후 ~ DB 제출 전까지
 - PDK 폐기 : 칩 테스트 완료 후 폐기. 또는, 설계 중 제작 포기시(폐기시 반드시 NDA 폐기확인서 제출되어야 함.)



(그림 1)DB 공정 PDK 수령 방법(web)

- 삼성 공정
 - IDEC 클라우드 서버에 접속하여 사용 가능함.
 - 접속 및 사용 방법은 설계팀별로 안내함.
- 공통) 설계자 추가 시
 - 이후 설계자의 추가 참여자가 있을 경우 NDA 를 추가 제출해야 함.
 - web 에서 수정 신청 비고란에 추가자 이름 기재하여 수정 신청함.
 - 수정 신청 접수 후 처리 방법을 회신 받으면 NDA 를 추가 제출하면 됨.
 - 단, 수정 신청하여 설계자는 설계지도교수의 학생으로 web 에 등록되어 있어야 함.(등록방법 : 설계지도교수 - 참여교수란에서 학생 추가 가능)
- NDA Design Kit 보안 유지 관련 공지
 - 주기적인 공지를 통해 보안에 대해 인식을 강화시킨다.

IDEC의 MPW 참가를 통해 전달받은 Design Kit 일체는 NDA를 통해서 법적인 구속력을 가지며, 관리 소홀로 데이터 유출 시 개인은 물론 소속된 참여교수에도 자격 박탈 등 강력한 규제가 가해질 수 있습니다. 뿐만 아니라 해당 공정사의 이의 제기 시 민,형사상 책임을 물을 수 있습니다.

MPW 참여자 분들은 Design Kit 및 관련 자료의 관리를 철저히 하시어 불이익을 당하는 일이 없도록 거듭 당부 드립니다.

NDA 체결 후 수령한 Design Kit 일체는 NDA 상에 기재된 폐기 날짜 안에 반드시 폐기하여 주시고 폐기확인서를 제출하여 제 3 자에 의한 공개 및 유출이 일어나지 않도록 주의 바랍니다.

5) 설계설명회 개최(지정공정)

- ① 개최 시기 : 회차별 정규모집 선정 완료 후 1개월 이내 개최
- ② 참여 대상
 - MPW 선정팀으로 NDA 제출한 팀 설계자(해당 회차의 설명회 참석해야 함)
 - NDA 제출시 서명한 설계자만 참여 가능함.
 - 해당 설계 참여자 1인 이상 반드시 참석해야 함. 단, 같은해 동일공정에 대해 여러 회차 참여시 해당 공정 첫 회만 참석해도 됨.
- ③ 내용 : 공정 설명 및 설계시 유의사항 등
- ④ 자료 배포
 - 설계자로 NDA 제출팀에만 제공
 - DB Hitek 공정: 온라인으로 진행되며, 해당 자료는 PDK 배포시 함께 제공
 - 삼성 공정 : web에서 시청이 가능한 영상 자료 제공. 자료는 서버에서 확인 가능함.
 - 참고 사항 : 설명회 영상 및 참여가 확인되어야 PDK 제공이 가능함.

6) DB 접수(지정공정)

- ① DB 제출 절차
 - DB 공정 : 1)제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 =>2)DB 제출 : ftp 업로드
 - 삼성 공정 : 1)제출서 작성(web) -> DB 제출 ftp ID/PW 확인 가능 =>2)DB 제출 : 해당 서버에 업로드
 - 해외 희망공정 : tape out과 동시에 DB 제출서 및 IP소개서 작성 (web) - 해당 내용 미 기재시 제작비 지원이 필요한 내용임..

② 절차 1 : DB 제출서 작성

- 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
- 설계회로설명서와 설계 내용이 상이한 경우 : 최종 설계 내용에 맞게 작성해서 재 제출 요청
- 재제출 방법 : 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 -> 내용 수정 처리
- **IP 개요 : 반드시 50~100자 이내로 기재**
- 해당 제출서 작성 후 DB 제출 ftp ID/PW 확인 가능

③ 절차 2 : DB 제출 방법

- 접수 기간 : 마감일로부터 20일전부터 접수(공정별 별도 안내함.)
- 제출 Ftp IP : 143.248.230.161
- ID/PW : web에서 DB 제출서 및 IP 등록신청서 작성시 확인
- DB 제출시 확인 사항
 - PW 는 telnet 접속 후 변경
 - PW 변경한 경우 DB 제출 후 재 접속하여 정상적인 제출 확인 필요
 - DB 미제출 경우 납부한 칩제작비 환불 불가함.
 - DRC 재 검토 시 비용 추가 : DB 검토 오류가 있을 경우 2 회부터는 ₩50,000(/회)
 - DB 재검토 의뢰서=> 오류가 많아 검토가 지속되면 칩제작 일정이 지연될 수 있어 적용된 패널티 임.(*양식은 DB 제출 안내문을 통해 전달됨.)

7) DB 검토(사전 검증)

- ① 공정별 담당 연구원이 검토는 진행
- ② DB 검토 기간 : 2~4주(공정과 접수 사정에 따라 기한이 조정될 수 있다.)
- ③ 공정별 담당 연구원

삼성 28nm	삼성28nm(Analog) / DB Hitek 180nm
김연태 책임	조인신 책임

8) 칩 배포

- ① 칩제작 기간
 - 공정별 12~22주 소요됨
 - 제작 기한에 2~3주 전부터 완료일 확인(공정사)
 - 제작이 지연될 경우 설계팀에 사유와 제작 예정 일정 공지
- ② 칩 배포 절차
 - : IDEC 칩도착 ->설계팀에 안내 ->수령 신청서(web, 설계팀) ->방문하여 수령
- ③ 칩배포 기간 : 제작 완료일 ~ 3주이내
- ④ 칩사진 제공
 - 칩사진 -> web에서 받을 수 있도록 업로드
 - Web에서 다운 가능(마이페이지 - 신청자 정보(아래 그림 참조))

신청자정보

- 신청 취소는 MPW 담당자에게 문의하시기 바랍니다.
- 칩 사진 다운로드 : S65_1501_01_GILHK.jpg

⑤ 칩 배포

- 칩 수령은 직접 수령을 원칙으로 함.(분실 및 파손 우려)
- 칩 수령 전 반드시 수령 신청서를 web에서 작성하고 방문해야 하며, 수령 당사자에게만 배포한다.

마이페이지

- 회원수정
- 비밀번호변경
- IDEC 참여내역!
- 교육신청내역
- VOD신청내역
- WG참여내역
- MPW신청내역**
- EDATool신청내역
- CDC신청내역
- JICAS논문투고내역
- 적립금내역
- WG평가
- MPW평가
- CDC평가

**“한국 반도체산업의 경쟁력”
IDEC에서 설계인력양성의 발판을 마련하겠습니다.**

MPW신청내역

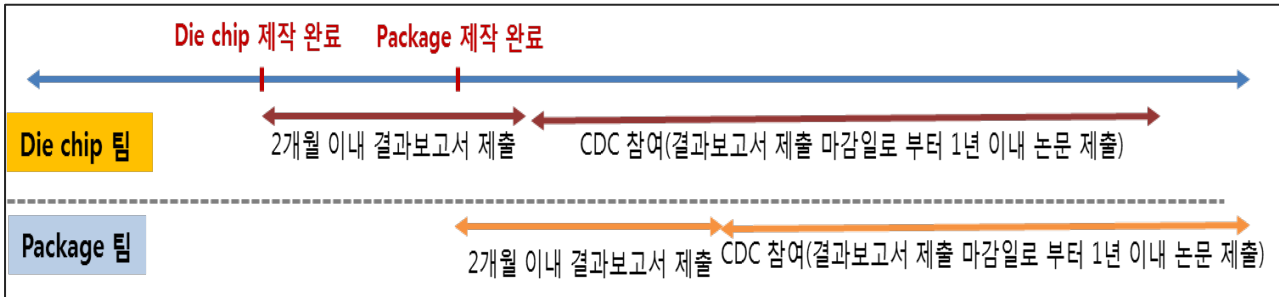
회차	공정	모집구분	신청일자	채택여부	공정상태	
S65-1601회	삼성전자 65nm	정규모집	2016-02-01	채택	DB마감일 변경 (06.27->08.01), Die chip 완료일 (2017.01.09->02.13)	
	NDA제출	DB제출	칩수령	결과보고제출		CDC참여
	해당없음	-	-	-		-
S65-1503회	삼성전자 65nm	우선모집	2015-04-20	채택	제작중	
	NDA제출	DB제출	칩수령	결과보고제출		CDC참여
	해당없음	제출	-	-		-
S65-1501회	삼성전자 65nm	정규모집	2015-03-25	채택	제작완료	
	NDA제출	DB제출	칩수령	결과보고제출		CDC참여
	해당없음	제출	2015-12-14	-		-

(설계팀의 칩수령 신청서 작성 페이지)

9) 결과보고서 제출

- MPW 설계팀은 칩제작 완료 후 2개월이내 제출 의무를 가진다. (2015년부터 적용)
- 접수
 - 칩제작 완료 후 2개월이내 제출
 - 결과보고서 미제출 시 해당 연구실은 MPW 신청이 불가함.
- 내용 : 설계회로설명서의 내용을 바탕으로 설계 결과를 포함하여 작성
- 활용
 - MPW 지원 공정사에 보고서로 제출
 - 우수 내용을 선별하여 JICAS에 게재할 예정입니다. 단, 게재팀으로 선정시 설계자와 최종 내용에 대해 상의한 후 게재한다.
- 제출 기한
 - 칩제작이 완료된 후 2개월 이내 제출해야 함.

- 해당 기간 내 미제출한 경우 이후 MPW 참가 신청이 되지 않음.
- ※참고 : 결과보고서 및 CDC 참여 기한



⑥ 작성 방법

- 영문 5쪽 이상으로 작성하여 제출(2015년 설계자부터 적용, 공정지원사에 제출)
- 결과보고서 내용은 선별하여 JICAS에 게재될 수 있음. 게재팀으로 선정시 설계자와 최종 내용에 대해 상의함.(JICAS 페이지 바로가기)
- 참가 신청시 제출한 '설계회로설명서' 내용을 바탕으로 기재해야 함.

⑦ 작성 양식 : 칩배포 안내시 전달됨.

10) 관련서류 발급 방법

① 참가확인서

- 설계자 개인 ID 로그인 -> MPW 참여실적 -> 참가확인서 발급 가능

② 방문확인서

- 설계자 개인 ID 로그인 -> MPW -> 방문확인서 발급 요청

11) MPW 업무 담당 및 관계자 내역

① MPW 담당

- 지정 희망 공정/소켓구매 : 이의숙 책임(ballhope@kaist.ac.kr, 042-350-4428)

② MPW 설계에 필요한 기술 문의 (DB 제출 관련)

: 문의 내용은 공정별 담당자에게 e-mail 로 보내주시면 회신드립니다.

공정	삼성 28nm	삼성 28nm(Analog)/DB Hitek 180nm
연구원	김연태 책임	조인신 책임
메일주소	ytkim@idec.or.kr	ischo@idec.or.kr

③ CDC 개최 담당 : 이의숙 책임(ballhope@kaist.ac.kr, 042-350-4428)

④ 참여교수 담당 : 김별님 선임(nimnimk@kaist.ac.kr, 042-350-4045)

⑤ JICAS 담당 : 정재희 선임(jh.jeong1234@kaist.ac.kr, 042-350-8533)

12) MPW 관련 물품 판매 소켓/보드 등 판매

- ① 소켓 및 보드 등 MPW 관련 판매
- ② MPW 설계공모전을 통해 제작된 칩의 test를 위해 공정별 IC socket&Board 판매
IDEC MPW를 통해 칩 제작하는 설계팀에게만 판매한다.
- ③ 판매 절차 :구매 신청서 접수 ->입금 -> 우편 발송
- ④ 물품 내역

품목	사용 가능 환경 (IDEC MPW 를 통해 제작된 칩 적용)	가격(원)
Soket 208pin(LQFP) (FPQ-208-0.5-10)	삼성 28nm	130,000
Board 208pin (LQFP/LQFP 208pin)	삼성 28nm	22,000
Gel-Pak	IDEC MPW 설계팀 중 Bare chip 수령을 위한 케이스	13,200

5. 참여방법(희망공정)

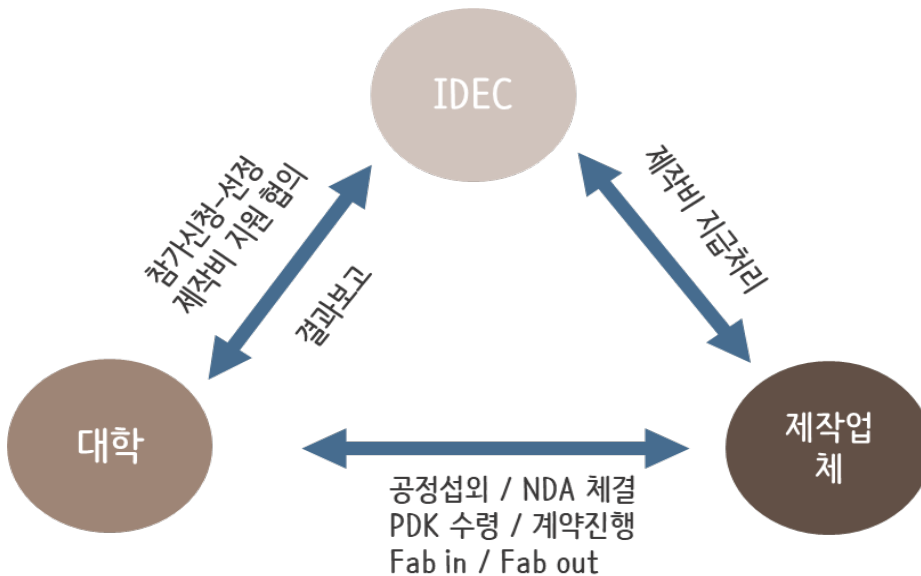
1) 국내외 MPW 공정 지원 프로그램 운영(2018년부터 시작)

① 배경 및 목적

- 최근 에너지 효율을 증대하기 위한 Green IT, 웨어러블 등 IoT를 위한 집적화된 시스템 개발의 중요성이 부각되고 있어 파워부문(BCDMOS)과 초고주파(RFCMOS)의 제작 기회 확대 필요
- 해당분야의 전문설계인력양성으로 국내 기술력 향상 도모

② 재원 : 지능형반도체 전문인력양성사업에 편성

2) 지원 체계



3) 참가시 조건 (희망공정)

- ① 설계계획서 제출(평가 대상)
- ② 대학의 연구와 교육을 위한 칩설계(산업체 과제 연계된 설계 참여는 제한함.)

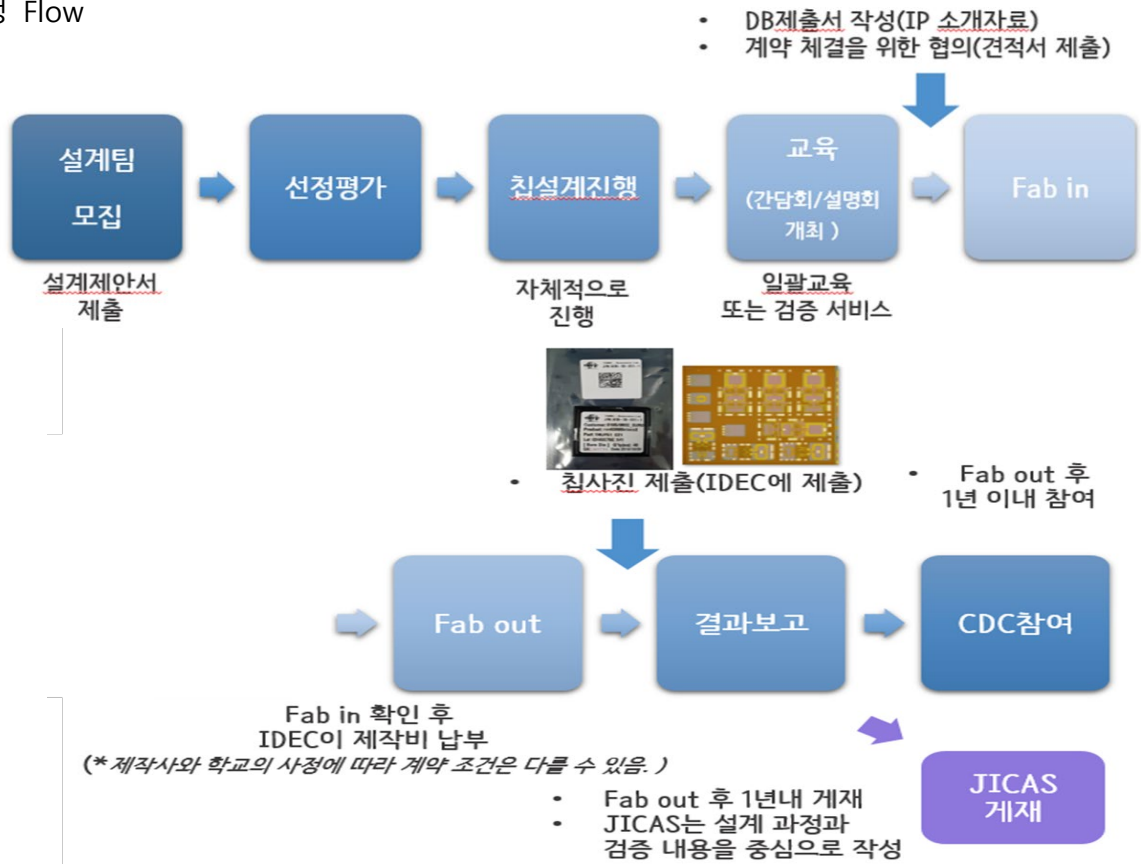
구분	설계팀 희망공정(개별지원)
지원 내용	설계팀의 제작을 계획하는 공정에 대해 지원
지원 공정	설계자 희망 공정(TSMC, IBM 등)
제작 지원 : Fab in 기준일	2024년 03월~2025년 1월 15일 까지 Fab in하는 공정
지원 규모	2024년 지원액은 예산 책정 완료 후 별도 공지 예정 (**참고) 2023년 기준)제작비의 70%(최대 1,500만원)내 지원, 설계팀 최소부담금 300만원

구분	설계팀 희망공정(개별지원)
선정 기준	설계 내용(아이디어), 면적활용, 활용 계획 등(기존 MPW 신청서 양식 사용)
기술 지원	설계팀이 운영, 필요시 IDEC 개설 교육 참여 설계 팀 간담회 및 세미나를 통해 설계자간 교류
지원 방법	설계에 필요한 모든 절차는 연구실에서 진행. IDEC 지원금은 제작업체에 직접 납부 처리할 수 있도록 설계팀에서 협조가 필요함.
지원 금액	설계별 제작 공정의 최종 견적서를 확인하고 지원 금액 통보

③ 설계팀 수행 의무 사항

- 논문 사사 문구에 "IDEC 지원" 임을 표기
- IP 내용 소개(Fab in 전 자료 제출)
- 기존 MPW 참여 의무 이행 : 결과보고서 제출(2개월 이내), CDC 참여(1년 이내)
- JICAS 게재 의무(칩 수령 후 1년 이내 게재)
- 설계 참여 인력 내용 공유(인력양성사업으로 실적 관리 필요한 항목임)

4) 진행 Flow



5) 진행 절차의 상세 내용

① 설계자 모집

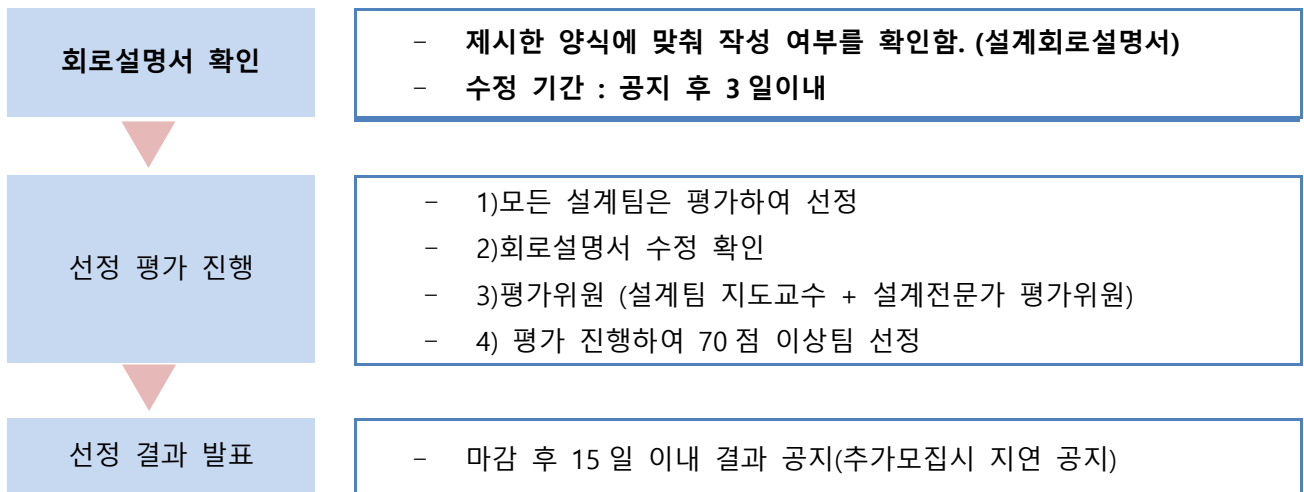
- 지원 대상
 - IDEC 참여 대학 협약서 체결이 완료된 대학교의 연구실(IDEC 참여교수)
 - 최근 2년간 국제 학회 및 저널에 실적이 있는 경우 신청이 가능함.(IDEC 지원문구 표기)
- 모집 구분
 - 모집 방법 : 정규 모집을 진행하고 미달인 경우 추가 모집도 가능함. ♡.

② 설계 참여 희망팀 사전 준비 사항

- 설계회로설명서(설계계획서로 사전 작성하여 신청 시 첨부)
- 설계 내용 확인 및 평가시 자료로 활용(실 설계 내용과 동일해야 함.)
- 내용 구성
 - : 설계회로설명, 기존회로와의 비교, 회로설계방법, Simulation, 설계정보, 칩 검증 방법에 대해 내용에 포함
- 국문(또는 영문) 4~5쪽으로 작성
- 설계회로설명서 양식 및 작성요령(*홈페이지-MPW-참여안내에서 다운로드)

③ 설계팀 선정

- 선정 절차



- 회로설계설명서 확인
 - 해당 양식에 맞춰 작성이 되었는지 확인
 - 양식 오류 시 : 수정하여 제출 안내. 제출은 마감 후 4일 이내 해야 함.

- 설계회로설명서는 평가 진행시 평가자료로 사용함.
- 선정 평가 진행
 - 평가 : 참여수가 미달일 경우라도 평가하여 선정
 - 평가 진행 기준

★ **평가 자료** : 설계회로설명서(평가 시는 소속, 대학, 설계자명, 회로제목 삭제하여 수정)

★ **평가위원** : 공정 참여 지도 교수로 위촉
평가위원 참여 연구실에는 평가 가산점 부여

★ **평가 항목 및 배점 내역(100점)**(배점 조정 : 2015.2월 모집부터 적용)

1) 디자인의 우수성 30점 2) 회로설계방법 (단계별로 사용한 CAD Tool 기재 등) 15점
3) Chip수령 후 검증방법 15점 4) Design size(공간 활용도) 20점 5) 활용계획 10점
6) 평가위원들의 주관적 점수 10점

★ **선정 원칙**

- 80점 이상 : 우수팀으로 발표평가없이 선정 완료
- 70점 이상 : 지원 대상으로 선정되었으나 표 평가에 따라 최종 지원 여부를 결정
- 70점 미만 : 탈락

- 선정 결과 발표
 - 평가 점수 취합시 참고 사항 :평가위원 평가 경우 가산점 책정함.
 - 설계팀 최종 선정 결과 안내
 - 참고)설계팀 채택 확인 : 설계팀의 마이페이지에서 확인 가능(그림 참조)

마이페이지

IDEC 참여내역
홈 | 마이페이지 | IDEC 참여내역 | MPW신청내역

“한국 반도체산업의 경쟁력”
 IDEC에서 설계인력양성의 발판을 마련하겠습니다.

MPW신청내역

회사	공정	모집구분	신청일자	채택여부	공정상태	
MS180-1505회	매그나칩반도체/SK하이닉스 0.18μm		우선모집	2015-02-23	채택	칩제작 대기(2015.12.21)
	NDA제출 제출	DB제출 제출	결과보고제출	CDC참여		



(그림 2)설계팀 설계 참여 진행 내역 확인 창

- 참여팀 내역 변경 (변경 시기)
 - 평가 진행 전)설계자가 마이페이지에서 직접 수정이 가능함.
 - 평가 기간 이후)설계자가 수정 내역을 '수정 신청'란에 기재하여 신청해야 함. : 접수된 내역은 MPW 담당자가 수정하고 회신 메일을 발송함.

- 설계회로설명서 수정시 : 평가를 통해 선정된 내용이므로 임의 변경은 불가. 꼭 변경이 되어야할 경우 수정된 설계회로설명서를 접수받아 확인절차가 필요함.
 - Fab in 연기사 필요시에 따라 패널티가 적용될 수 있음.(예 - 지원 불가 또는 향후 1 년이내 지원 대상 제외)
- ④ NDA(Non-disclosure agreement) 체결 및 설계데이터(PDK) 배포
- 희망공정의 경우 설계팀이 업체와 NDA를 체결하여 PDK 직접 수령
- ⑤ 제작비 지원
- 지원 조건
 - 지원비 : 칩제작비의 70%(최대 1,500 만원. 설계자 최소 부담금 300 만원)
 - 연구실별 연간 지원 횟수는 예산 상황에 따라 제한될 수 있음.
 - 지원 절차는 선정팀에게 개별적으로 공지하여 진행하도록 함.
 - 참가비 지원 절차 : 모집 공고시 매뉴얼을 통해 안내 예정임.
- ⑥ DB 제출서 접수
- DB 제출서 작성
 - DB 제출서 작성(web) : IP 보고서 기재가 함께 이뤄져야 함.
 - Fab in 후 즉시 작성 완료
 - 해당 내용이 미기재시 칩제작비 지원 계약이 어려움.
 - 작성 절차 : 마이페이지 -> IDEC 참여내역 -> 해당 공정 -> 하단 "DB 제출" 클릭하고 작성
 - 설계회로설명서와 설계 내용이 상이한 경우 : 최종 설계 내용에 맞게 작성해서 재 제출 요청
 - 재제출 방법 : 수정 신청(내용 : 설계회로설명서 변경요청) -> 메일로 전송 -> 평가 결과에 따라 선정되었기에 해당 내용 재검토하여 선정 결과를 안내함.
 - IP 개요 : 반드시 10 줄 이상 기재. 상세한 설명 필요

[※ IDEC에서 제작된 MPW 설계칩에 대한 'IDEC IP'로 등록(2013년부터 실시)]

- **내용:** 칩설계인력양성의 일환으로 진행되는 칩제작 사업(MPW)에 대한 IP 내역을 DB 로 구축(정부부처 요청)
- **IP 등록대상 :** IDEC MPW 참여팀
- **관리방법 :** IDEC 내에서 IP 내역을 DB 로 구축하여 관리, IP 에 대한 권리는 설계자에게 있음.

⑦ 칩 배포

- 칩제작 기간 및 수령
 - Fab in : 설계팀이 계약이 종료되면 해당일에 DB 를 넘김
 - Fab out : 일반적으로 2~4 개월 칩제작 기간이 소요
 - 칩 수령 : KAIST 가 계약 조건에 따라 칩을 수령
 - 칩 입고 후 설계팀에 전달
 - 직접 수령 원칙
- 회차의 칩이 모두 나온 경우 CDC 참여 일정 확인
 - CDC 참여 일정을 수령시 web 에서 확인해야 함.

⑧ 결과보고서 제출 / CDC 참여 의무사항은 지정공정과 동일함.

⑨ JICAS 제출(희망공정 설계팀 필수 의무)

- 칩제작 완료 후 1년 이내 제출
- JICAS 참여 대체 조건(2021년 희망공정 참여팀부터 적용)

학회	저널
- ISSCC - CICC - Symposium on VLSI circuit(SOVC) - ASSCC - RFIC Symposium - ESSCIRC	JSSC, T-BioCAS, Transaction on Power Electronics TCAS I, T-MTT, TCASII, MWCL * 저널은 매년 조정될 수 있습니다.

- 해당 조건은 조정될 수 있음.
- 참여시는 담당자에게 전달해 주시면 해당 실적으로 인정함.
- 논문 등록 방법 : IDEC 홈페이지 - 교수님이름으로 login - 참여교수 - 논문등록 - 등록시 'JICAS 대체 클릭'(상시 등록 가능)

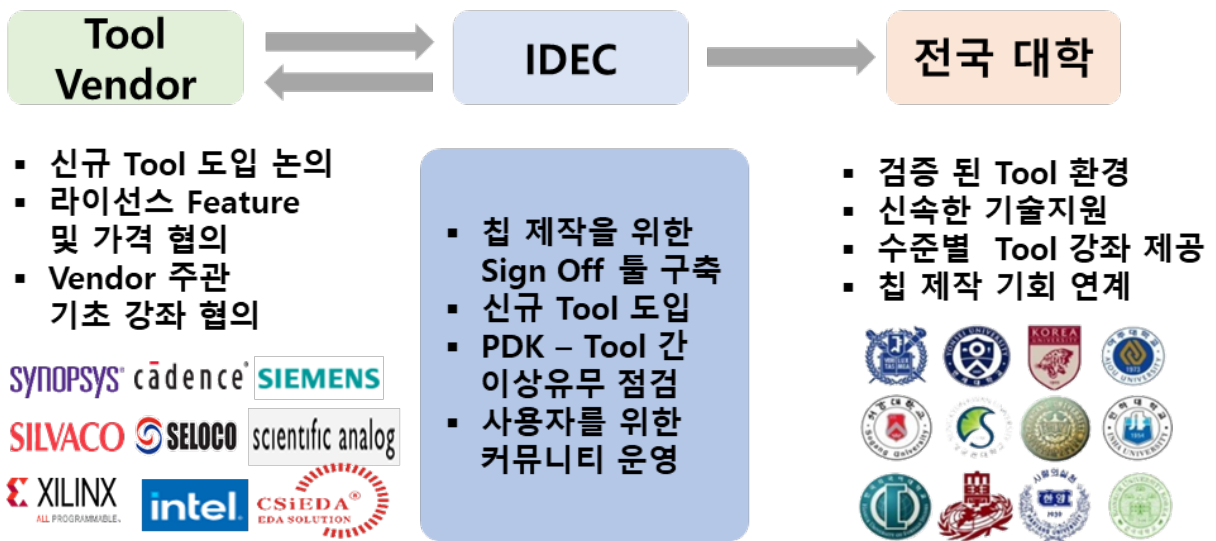
3

EDA Tool 사용 안내

1. 개요 및 지원현황

1) EDA(Electronic Design Automation, 전자설계자동화) Tool 이란?
 : 집적 회로부터 인쇄 회로 기판(PCBs)에 이르기까지 전자 시스템 설계 및 생산을 위한 Tool

2) 지원 흐름도



3) 지원대상 : IDEC 참여교수

4) 사용범위 : 대학의 학생 교육과 비상업적 연구 목적으로만 사용

참고) 필독! EDA Tool 사용범위 (63쪽 참고)

5) Tool 지원 Vendor사



6) EDA Tool 지원 종류 및 기능

(2023년 기준)

No.	Vendor	EDA Tool	주요 기능
1	Cadence	Virtuoso	• Schematic Layout Design
2		Spectre	• Circuit SPICE Simulation
3		Xcelium	• Functional Verification
4		Innovus	• Digital Implementation
5		Assura	• Physical Verification
6		QRCX	• Physical Layout Parastic Extraction
7		AMS	• Mixed Signal Simulation
8		MMSIM	• Multi-Mode Simulation
9	CSiTEK	CSiEDA	• Circuit and PCB Design
10	Intel	Quartus	• FPGA Design
11	Siemens EDA	Calibre	• Physical Verification
12		ELDO	• Circuit SPICE Simulation
13		Questa	• Functional Verification
14		Tessent	• Design for Test (DFT)
15	Scientific	XMODEL	• Mixed Signal Simulation
16	Analog	MODELZEN	• SPICE/Spectre Netlist
17	Seloco	MyCAD	• Custom Design(Schematic, Simulation, Layout) Solution
18	Silvaco	SmartSpice	• Circuit SPICE Simulation
19		Expert	• Physical Layout Design
20	Synopsys	IC Compiler	• Auto Place and Route
21		Custom Compiler	• Custom Design (Schematic, Simulation, Layout) Solution
22		PrimeSim	• Analog Circuit Simulation
23		StarRC	• Physical Layout Parasitic Extraction
24		VCS	• Functional Verification
25		Design Compiler	• RTL Synthesis
26		DFT Compiler	• Design For Test (DFT)
27		Formality	• Equivalence Checking (EC)
28		PrimeTime	• Pre/Post Static Timing Analysis
29		PrimeLib	• Library Cell Characterization
30		TCAD	• Process & Device Simulation
31		Systems	• SoC Architure Exploration & Validation
32		ASIP Designer	• Application-specific instruction-set Design Solution
33	Xilinx	Vivado	• FPGA design

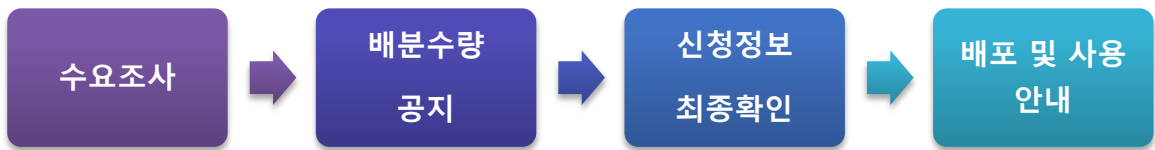
2. 지원방식

- 1) 정규 라이선스 : 연구실 서버정보로 지원되는 1년 라이선스
 - 정기 EDA Tool 수요조사시 신청된 Tool을 연간 지원
- 2) 단기 라이선스 : IDEC 본센터 보유 라이선스를 Network으로 단기간 지원
 - 정규 라이선스 미신청 연구실 또는 라이선스 추가 필요 연구실에 단기간 Tool 지원
 - 대학의 학부생 대상 정규 수업에 해당 학기 동안 Tool을 지원

3. 정규 라이선스 사용

- 1) Tool 신청 연구실의 서버정보(MAC address)로 사용기간 1년 라이선스가 발행되며, 매년 3~4월에 차년도 지원 Tool에 대해 수요조사 진행 후 지원됨
 - * 시놉시스만 연구실별로 발행되며 그외 Tool은 IDEC 중앙서버를 통해 IP 승인방식으로 운영됨

2) 지원절차



3) 수요조사 시기 : 매년 3~4월, 약 3주간 진행

4) 신청방식 : 참여교수별로 IDEC 웹페이지에서 신청

① 신청경로 : IDEC 홈페이지 > EDA Tool > EDA Tool 신청 > 정기 EDA Tool 수요조사

The screenshot shows the IDEC website interface. The navigation path is: IDEC 홈페이지 > EDA Tool > EDA Tool 신청 > 정기 EDA Tool 수요조사. The main content area displays the '2023년 정기 EDA Tool 수요조사' announcement with the application period from 2023-04-11 to 2023-04-28. Below it, there is a section for 'Network license' with an application period from 2024-01-01 to 2024-12-31.

② 신청시 제출서류

- 사용계획서 : Tool 신청시 각 신청 Tool별로 웹페이지에서 작성
- 결과보고서 : 전년도 지원된 Tool에 대하여 웹페이지에서 작성 (사용계획서 및 결과보고서 제출완료되어야 Tool 신청 완료 됨)

○ 2023년 정기 EDA Tool 수요조사

신청기간	결제기간	결과보고 제출기간
2023-04-11 ~ 2023-04-28	0000-00-00 ~ 0000-00-00	2024-01-01 ~ 2024-04-30

신청 정보 상세	HOSTNAME / IP관리	결과보고
----------	-----------------	-------------

EDA Tool 결과보고서 작성

EDA Tool	Cadence사 Cadence University Package	배분수량	1 Copy
사용자	<input type="text"/>		
<input type="button" value="등록"/>			
사용처	<input type="checkbox"/> 교육용 <input type="checkbox"/> 연구용		
EDA Tool	Synopsys사 Synopsys Front-end Package	배분수량	1 Copy
사용자	<input type="text"/>		
<input type="button" value="등록"/>			
사용처	<input type="checkbox"/> 교육용 <input type="checkbox"/> 연구용		
EDA Tool	Synopsys사 Synopsys Back-end Package	배분수량	1 Copy
사용자	<input type="text"/>		
<input type="button" value="등록"/>			
사용처	<input type="checkbox"/> 교육용 <input type="checkbox"/> 연구용		
EDA Tool	Synopsys사 TCAD (Sentaurus)	배분수량	1 Copy
사용자	<input type="text"/>		

③ (중요 !!) 신청시 유의사항

- MAC address 기입
 - 라이선스 설치 머신의 O/S(Linux) MAC address(12자리)를 입력 (예 : 0012345678ab)
- MAC address 확인 방법 : '/sbin/ifconfig' 명령으로 확인
- 라이선스는 재발행 되지 않으니, 신청정보 기입시 MAC address를 재차 확인해주시기 바랍니다.
 - VMWare가상 머신 사용시
 - Windows가 설치된 컴퓨터에 VMWare 가상 머신을 통해 Linux를 사용하는 연구실에서는 라이선스 신청시 Linux의 MAC address가 아니라 Windows의 MAC address를 기입하시기 바랍니다.

5) 배분수량 공지

- ① 신청수량 < 배분수량 : 신청수량만큼 배분
- ② 신청수량 > 배분수량 : 전년도 참여교수별 실적에 따라 EDA Tool 차등지원
(신규 참여 교수인 경우 수요가 많은 일부 툴에 대해 공급이 제한될 수 있음)
- ③ 배분수량 확인 경로
 - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 화면을 통해 Tool별로 배분수량 확인

<input checked="" type="checkbox"/> 신청	Cadence 사 Cadence University Package (가격 : 0 원)				
배포예정일	2023-06-30	사용기간	2023-07-01 ~ 2024-06-30	총 신청수량 배분 수량	1 Copy 1 Copy
서버정보	● 연구실 HOSTNAME 사용				
비고					

- 신청정보 최종확인
 - 라이선스 오류시 재발행이 불가하므로, 라이선스 발급 전 신청정보(신청 Tool, 수량, MAC address) 재확인 작업 진행
- 신청정보 최종확인 경로
 - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 → 신청정보 최종확인

마이페이지

- 회원수정
- 비밀번호변경
- IDEC 참여내역
- 교육신청내역
- SoC설계과목이수계
- VOD신청내역
- 참여교수신청내역
- MPW신청내역
- EDATool신청내역**
- CDC신청내역
- 적립금내역
- 참여교수평가
- MPW평가
- CDC평가
- 주문/배송 내역확인

IDEC 참여내역

중 > 참여내역 > IDEC 참여내역 > EDATool신청내역

"한국 반도체산업의 경쟁력"
IDEC에서 설계인력양성의 발전을 마련하겠습니다.

● 라이선스 신청정보 최종확인

- 라이선스 신청정보 최종확인 기간 : 2018-05-02 ~ 2018-05-04
- EDA Tool 수요조사시 기입했던 약해 라이선스 신청 정보로 라이선스가 발행되며, 해부된 라이선스는 재발급 되지 않습니다. 가끔 연결하던 대신으로 라이선스 신청해주시고, EDA Tool 신청시 기입하신 NIC number or hostID 약산여부를 재차 확인해주시기 바랍니다.
- 약해 라이선스 신청 정보에 누락이 필요할 경우 EDA Tool 담당자에게 연락 주시기 바랍니다.
- EDA Tool 담당자 : 석은주 (eunju.seok@idec.or.kr, 042-350-8538)

▣ 라이선스 신청정보

** 2018년 정기 EDA Tool 수요조사 **

EDA Tool명	배분수량	서버별 배분수량	OS	NIC Number /HOST ID	최종확인
Cadence University Package	1	1	리눅스	123456789012	<input type="checkbox"/>
Mentor University package	1	1	리눅스	123456789012	<input type="checkbox"/>
Synopsys Back-end package	1	1	리눅스	123456789012	<input type="checkbox"/>
Synopsys Front-end Package	1	1	리눅스	123456789012	<input type="checkbox"/>

▣ 라이선스 신청정보 최종확인에 대한 유의 사항

(1) 내용 확인 후 **툴별 최종확인** 클릭

1. 위 라이선스 신청정보에 이상이 없음을 확인하고 이상이 있을시 [라이선스 신청정보 최종확인 기간] 내에 담당자에게 통지 하여야 합니다.
2. 위 라이선스 신청정보로 배포된 라이선스는 재발행되지 않습니다. 오류기계에 대한 책임은 신청자에게 있으며 위 라이선스 신청정보로 발행된 라이선스의 재발급 불가에 대해 이의를 제기 할 수 없습니다.

확인 동의합니다. (2) 클릭

(3) 위 내용 재차 확인 후 **클릭**

6) 배포 및 사용안내

- ① Tool별 사용기간 및 배포시기 : 매년 06.30 전후로 배포, 1년(07.01-06.30) 사용
- ② 위 배포일정의 Tool 사용 시작일 1~3일 전에 라이선스 배포되며, 배포시 Tool 신청 연구실에 이메일 및 IDEC 홈페이지를 통해 배포 공지됨
- ③ Tool 및 라이선스 다운로드 경로
 - IDEC 홈페이지 → MYIDEC → EDA Tool 신청내역 → 정기 EDA Tool 수요조사 → 신청내역 페이지 상단에서 S/W 다운로드 정보 확인 및 라이선스 파일 다운로드

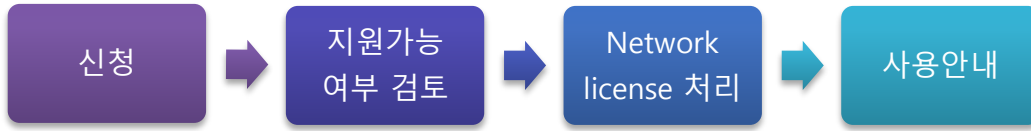
신청 정보상세	HOSTNAME / IP관리	결과보고
<p>라이선스 파일 다운로드</p> <p>• [redacted]_Synopsys_Key_Sig[redacted].txt</p> <p>EDA Tool S/W 다운로드 방법</p> <ul style="list-style-type: none"> FTP 접속 프로그램을 이용하여 EDA Tool S/W 다운로드 받으시기 바랍니다. Synopsys사 tool의 경우, Solvnet을 통해서 최신 버전 직접 다운로드 가능 다운로드 경로 : http://solvnet.synopsys.com [redacted] (Solvnet 계정은 대학별 2개 연구실에서 관리) 		
FTP접속 IP	접속 Port	ID
		Password

4. Network license 사용

- 1) IDEC 본센터 라이선스를 Network으로 단기간 지원
- 2) 신청 방법
 - IDEC 홈페이지를 통해 매주 금요일 오전 11시까지 신청
 - 신청 경로 : <http://www.idec.or.kr> > EDA Tool > EDA Tool 신청 > Network license 신청
 - **신청 가능 Tool이 제한적이므로 신청 전 이메일로 확인 후 신청**

Tool 담당자	이름	<input type="text"/>	email	<input type="text" value="반드시 학교 이메일을 입력하세요"/>
	전화번호	<input type="text"/>	휴대폰번호	<input type="text"/>
연구실 HOSTNAME / IP		연구실 HOSTNAME 등록 / 수정		
<input checked="" type="checkbox"/> 신청	Cadence 사 Cadence University Package (가격 : 0 원)			
사용기간(1개월 단위)	<input type="text"/> ~ <input type="text"/>	총 신청수량	<input type="text"/> Copy	
서버정보	<input checked="" type="radio"/> 연구실 HOSTNAME 사용			
사용목적	<input type="text"/>			
Feature				
Feature	기능		신청수량	
GENUS	(구, Encounter RTL Compiler)/Logic Synthesis		<input type="text" value="0"/> Copy	

3) 진행 절차



4) 사용 안내 : Network license 처리 후 사용안내 메일 발송

- 사용안내 메일

- 예시)
- * **Cadence**
- 1. Linux 용 Tool 사용 경우
 - 1) C-shell 사용 시 설정 방법
 - Tool 환경 설정 파일에 추가하여 사용하세요.
(라이선스 파일 및 데몬 구동 필요없음)
 - `setenv LM_LICENSE_FILE 00000@license_server_IP`
 - 2) Bash-shell 사용 시 설정 방법
 - Tool 환경 설정 파일에 추가하여 사용하세요.
(라이선스 파일 및 데몬 구동 필요없음)
 - `export LM_LICENSE_FILE 00000@license_server_IP`

5. EDA Tool 지원 서비스

1) EDA Tool 소개자료 제공

- IDEC에서 제공하는 Tool을 보다 쉽게 이해할 수 있도록 Tool별 세부 기능과 활용법, MPW Flow 적용 가능 여부 등을 파악할 수 있는 자료로 IDEC 홈페이지를 통해 PDF로 제공

IDEC EDA Tool 소개 자료
2019년 8월

No.	Vendor	EDA Tool	Function
1)	Synopsys	VCS (at F/E & B/E Bundle)	Verilog/VHDL Simulator (X-Prop, UPP, Low Power)
2)		Variati (at F/E & B/E Bundle)	Design Debug & Analysis (Coverage, etc)
3)		Simplex (at F/E & B/E Bundle)	RTL Design Static Analysis (ant, CDD, DFT, Power)
4)		Synopsys Premier (at B/E Bundle)	Logic Synthesis for FPGA
8)		DFT Product Family (at F/E)	Design for Test (DFT)
7)		Formality (at F/E & B/E)	Equivalence Checking (EC)
9)		PrimeTime (at F/E & B/E Bundle)	Pre/Post Static Timing Analysis
9)		Prime Power (at F/E & B/E Bundle)	Power Analysis
10)		IC Compiler (Atrix, ICC, ICCU) (at B/E Bundle)	Auto Place and Route
11)		StarRC (at B/E Bundle)	Physical Layout Parasitic Extraction
12)		IC Validator (Merules) (at B/E Bundle)	Physical Verification (DRC or LVS Checking)
13)		Custom Compiler (at B/E Bundle)	Custom Design Solution (includes Schematics & Layout)
14)		Laker (at B/E Bundle)	Layout
15)		Hspice (at B/E Bundle)	Analog Circuit Simulator
16)		Flexsim (SPICE) (at B/E Bundle)	FastSPICE Simulator
17)		Custom WaveView (at B/E Bundle)	Analog Wave Viewer and Analysis/Reporting
18)		Custom WaveView (at B/E Bundle)	Mixed-Signal Verification Solution incorporating VCS Functional Verification and CustomSim FastSPICE Co-simulation
20)	SiliconSmart (at B/E Bundle)	Signal Call (Standard) Characterization	
21)	TCAD Sentaurus (at TCAD Bundle)	Process & Device Simulation	
22)	Virtualizer	Soc Architecture Exploration & Validation and SW Development	
23)	Saber Simulator (at Saber Bundle)	Multidomain and Mixed Signal Simulator	
1)	Cadence	MMSIM	Multi-Mode Simulation (SPICE, RF, FastSPICE, Mixed-Signal Simulator)
2)		Spectra/ SpectraRF	Functional Logic Verification
4)		Virtuoso Layout Suite	Circuit SPICE Simulation Physical Layout Design

3.2 Design Flow - Digital

IDEC MPW Digital Design Flow

1. Design Specification & RTL Modeling
2. Functional Verification
3. Logic Synthesis
4. Post-Synthesis Check
5. Pre-Layout STA
6. Pre-Layout Simulation
7. Floor Planning, Place&Route
8. Equivalence Check
9. IC EXTRACTION
10. Post Layout STA
11. Post Layout Simulation

2) EDA Tool 설치가이드 제공

- IDEC에서 제공하는 Tool 중 주로 사용되는 Tool에 대해 설치가이드 문서 제공

Vendor명	EDA Tool명	설치문서	비고
CADENCE	IC61	PDF	Schematic & Layout
CADENCE	SPECTRE	PDF	Simulation
CADENCE	ASSURA	PDF	DRC, LVS
CADENCE	PVS	PDF	DRC, LVS

3) System Requirement 및 OS 설치가이드

- 각 Tool에 대한 System Requirement 및 설치가이드 문서로 제공

- [서버 - GUI사용] 을 선택한 후 아래와 같이 선택합니다.
 - ✓ DNS 내임 서버
 - ✓ 이메일 서버
 - ✓ FTP 서버
 - ✓ KDE
 - ✓ Linux 용 원격 관리
 - ✓ 호환성 라이브러리
 - ✓ 개발용 (lib)도구
 - ✓ 보안 (lib)도구

4) EDA Tool 통합 설치 환경 제공

- 신규 연구실 또는 EDA Tool 설치에 어려움이 있는 연구실을 위한 통합 설치 환경 제공.
- 리눅스 버전과 참여 공정에 맞는 Tool 버전을 자동으로 설치한 후 바탕화면의 아이콘 실행만으로 쉽게 Tool 실행

통합설치 후 바탕화면

Cadence Virtuoso 실행

5) EDA Tool 기술지원

- IDEC을 통한 실시간 기술지원

The screenshot shows the IDEC Library website interface. At the top, there is a navigation bar with links for '센터소개', '교육/세미나', 'VOD서비스', 'MPW', 'EDA Tool', '참여교수', '홍보마당', and 'IDEC Library'. The main content area is titled '질문/답변' (Q&A) and features a sub-header '한국 반도체산업의 경쟁력' (Competitiveness of Korean Semiconductor Industry) with the text 'IDEC에서 설계인력양성의 발판을 마련하겠습니다.' (We will prepare the foundation for design talent cultivation at IDEC). Below this, there is a table of questions and answers, with the 'EDA Tool' category selected. The table lists questions with their IDs, authors, titles, dates, and view counts.

번호	작성자	제목	등록일	조회수
공지	관리자	EDA Tool 관련 질문은 전부 공개로 전환 하고자 합니다.	14.10.13	426
2471	신종윤	IC_copiler 관련 질문드립니다. 📧	17.07.20	4
2470	선혜승	[답변] IC_copiler 관련 질문드립니다. 📧	17.07.20	1
2469	이용호	IUS 툴 문의 📧	17.07.20	8
2468	선혜승	[답변] IUS 툴 문의 📧	17.07.20	3
2467	이용호	synopsis 문의 📧	17.07.20	9

참고) 필독! EDA Tool 사용범위

< EDA Tool 사용 범위 >

IDEC에서는 참여대학에 배포하는 EDA Tool의 사용범위를 아래와 같이 엄격히 제한하고 있습니다.

아래 EDA Tool 사용 범주를 위반하여 틀이 사용된 사례가 발생할 경우 인재양성을 위한 교육과 비상업적 연구를 목적으로 충실히 틀을 사용하고 게시는 대다수의 교수님께 피해가 갈 수 있으며, 또한 IDEC EDA Tool 공급 사업의 근간이 흔들릴 수 있습니다.

참여교수님께서서는 아래 내용을 숙지하시어 향후 불미스러운 일이 생기지 않도록 각별한 주의를 부탁드립니다.

----- 아 래 -----

- IDEC을 통해 제공되는 EDA Tool은 **참여교수 및 지도학생에 한하여 참여대학 내에서 학생교육과 비상업적 연구의 목적**으로만 사용되어야 하며 상업적인 제품개발, 생산 등 영리를 목적으로 사용되어서는 안됩니다.

즉, IDEC Tool은 참여교수 및 학생의 신분을 가진 사람만이 사용할 수 있으며, 어떠한 경우에도 회사의 제품이 될 목적으로 설계되는 칩의 설계에는 사용할 수 없습니다. 또한 학내 벤처업체 사용, 학교 외부 Networking 연결, 외부 업체 담당자 방문사용 등이 절대 불가합니다.

이는 IDEC에서 제공하는 EDA Tool의 사용범주에 벗어나는 것이며

위 사항을 준수하지 않을 경우, **참여교수 수행 지침 동의서 제 4 조에 의거하여 IDEC 과의 협약은 해약 될 수 있습니다.**

2. 산학 공동 Project 및 기타 영리 목적의 상업적 연구에 틀이 사용되는 경우에는 **EDA Tool Vendor 와 별도로 계약을 체결하여 진행**해야 합니다.

< 참 고 >

* **참여교수 수행 지침 동의서***

제 4 조(자원의 사용 및 관리)

- (1) IDEC 이 참여교수에게 제공하는 자원은 제 1 조의 "참여교수 지원 신청서"상의 참여교수와 지도학생으로 등록된 자에 한하여 사용할 수 있다.
- (2) IDEC 이 참여교수에게 제공하는 자원은 교육 및 비상업적인 연구 외 다른 목적을 위해서는 사용할 수 없다.
- (3) 참여교수는 IDEC 으로부터 제공받은 자원이 외부 유출 및 파손되지 않도록 책임자로 관리한다.

4

CDC (Chip Design Contest)

1. CDC 소개

- 1) CDC 정의: IDEC을 통해 참여 제작한 칩 결과에 대해 발표 전시를 진행하고 우수팀을 선별하여 수상하는 행사
- 2) CDC 종류: 한국반도체학술대회, IDEC Congress, ISOCC
- 3) 참여 대상
 - ① 주요 대상: IDEC MPW 참여팀 (각 CDC 논문 마감일로부터 2개월 전까지 칩 제작이 완료된 팀)
 - ② 그 외: FPGA 및 기타 설계팀 중 참여 희망팀(평가 및 수상 대상에서 제외될 수 있음)
- 4) 참여 시기: MPW 결과보고서 제출 마감일로부터 1년 이내 (1년 이내의 기준은 각 행사의 논문 마감일로 함)
- 5) 참고] CDC별 내역

구분	KCS (한국반도체학술대회) CDC	IDEC Congress CDC	ISOCC (International SoC Design Conference) CDC
주관	산·학·연 공동 주관	IDEC	반도체공학회
개최일	매년 2월 초 (2023년 기준 : 2023.02.14)	매년 6월~7월초 (2022년 기준 : 2020.07.09)	매년 10월 말~11월 초 (2022년 기준 : 2022.10.17)
개최장소	매년 변경됨 (2023년: 하이원리조트(정선))	매년 변경됨 (2022년 : IDEC 강당)	매년 변경됨 (2022년 : 라카이샌드파인)
모집분야	ASIC (FPGA 포함)		
논문마감	11월 말~12월 초	4월 말~5월 초	7월 말~8월 초
논문분량	1page		
논문양식	KCS 초록양식	IDEC 별도 지정 양식	
논문 인정여부	논문으로 인정됨	논문으로 인정되지 않음	
타학회 참여가능여부	불가능	가능	
논문외 참여방법	참여 불가능		
등록비	100,000원 (2023년 기준)	무료	230,000원 (2022년 기준)
전시내용	포스터 및 발표 영상 제출		
홈페이지	http://kcs.cosar.or.kr	http://congress.idec.or.kr	http://www.isocc.org

2. CDC 참여 절차

1) CDC 일정 확인

- ① IDEC 공식 홈페이지, 페이스북, 블로그 등에 사전 공지 확인
 - IDEC 홈페이지에서 일정 확인하는 방법

The screenshot shows the IDEC website interface. The top navigation bar includes 'MPW / CDC' which is highlighted with a red box. Below the navigation, the main content area is titled 'CDC신청' and includes a sub-menu 'CDC 참여신청'. Two tables provide details for the CDC competitions:

제31회 한국반도체학술대회 CDC(5분과)			
제출기간	2023-10-02 ~ 2023-11-20	평가일정	2023-12-04 ~ 2023-12-15
포스터(논문) 수정기간	2023-12-18 ~ 2024-01-05	발표영상 제출기간	2024-01-01 ~ 2024-01-19
발표자료 제출기간	2024-01-15 ~ 2024-01-25	2차 평가일정	0000-00-00 ~ 0000-00-00

제30회 한국반도체학술대회 CDC			
제출기간	2022-09-05 ~ 2022-11-14	평가일정	2022-11-21 ~ 2022-11-30
포스터(논문) 수정기간	2022-12-09 ~ 2023-01-30	발표영상 제출기간	0000-00-00 ~ 0000-00-00
발표자료 제출기간	2023-01-09 ~ 2023-01-30	2차 평가일정	2023-01-31 ~ 2023-02-14

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭
(반드시 지도교수 계정으로 로그인)
- CDC 소개 : 전반적인 CDC 일정을 개략적으로 확인 가능
- CDC 신청 - 상세보기 클릭
 - 해당 CDC 에 대한 상세한 일정 확인 가능

② 참여팀 대상 전체 발송 안내 메일 확인

※ 담당자 (이의숙 책임: 042-350-4428, yslee@idec.or.kr)

2) 참여 가능 CDC 확인

MPW 신청내역							
회사	공정			모집구분	신청일자	채택여부	공정상태
SS28-2202회	삼성전자 28nm			정규모집	2022.05.16	채택	DB 접수 : ~01.16(월) 09시
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
	.	제출	.	.	.	결제금액없음	
SS28-2201회	삼성전자 28nm			정규모집	2022.03.28	채택	Package 제작 : 02월말 예정
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
	.	제출	2022-12-26	.	.	완납	
SS28-2201회	삼성전자 28nm			정규모집	2022.03.28	채택	Package 제작 : 02월말 예정
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
	.	제출	2022-12-26	.	.	미납	
SS28-2102회	삼성전자 28nm			정규모집	2021.06.04	채택	제작 완료
	NDA제출	DB제출	칩 수령	결과보고제출	CDC참여	결제	
	.	제출	.	.	.	완납	

- ① IDEC 홈페이지 - 로그인 - 마이페이지 - MPW 신청내역에서 확인
 (반드시 지도교수 계정으로 로그인)
- 참여의 경우 "참여"로 표시, 미참여의 경우 "."로 표시
 - 해당 CDC를 클릭하면 기한 내 참여해야 하는 3개의 CDC 확인 가능


3) CDC 논문 작성

- ① 논문 작성 요령 및 양식 확인하는 방법 : 참여 대상자에서 별도 공지
- ② 관련 양식 : IDEC 홈페이지 - CDC

MPW / CDC

CDC소개

홈 | MPW / CDC | CDC소개



○ Chip Design Contest(CDC)

- Chip Design Contest(CDC)는 MPW 및 각 대학의 SoC 관련 칩 제작 결과물을 전시하는 행사입니다. 본 행사를 통해 반도체 및 지능형 설계 분야의 전문 지식과 최신 기술을 공유하고 있으며, 나아가 연구 의욕 고취를 통해 국내 반도체 설계 분야의 경쟁력 향상을 목표로 하고 있습니다.
- 연 3회 개최
 - 한국반도체학술대회(KCS) Chip Design Contest
 - IDEC Congress Chip Design Contest
 - International SoC Design Conference(ISOCC) Chip Design Contest

구분	한국반도체학술대회(KCS) CDC	IDEC Congress CDC	International SoC Design Conference(ISOCC) CDC
주관	산학연 공동주관	IDEC 주관	국제시스템온칩설계학회(ISOCC)
개최시기	1 - 2월	6 - 7월	10 - 11월
개최장소	매해 변경	본인	매해 변경
참여인원제한	70명	70명	70명
모집분야	ASIC (FPGA) 포함		
논문마감	10 - 11월중	4 - 5월중	7 - 8월중
논문제출	○		X
논문양식	KCS 양식		포스터
포스터제출		○	
포스터양식	KCS 양식		IDEC 양식
논문인정여부	○		X
발표영상제출	학회 사정에 따라 변동	○	학회 사정에 따라 변동
등록비	70,000원	무료	231,000원
	한국반도체학술대회와 ISOCC의 경우 MPW 참여자에 한해 등록비의 50%를 IDEC에서 지원 (최대 10만원, 회당자 만한 비용 포함)		
전시형태	Oral / Poster		Poster
홈페이지	http://kcs.cosar.or.kr	http://congress.idec.or.kr	http://www.isocc.org
제출양식	포스터 작성 양식(CDC 공통양식) 발표 영상 제출 가이드 (CDC 공통양식) KCS 초록 작성 샘플 (KCS에 한함)		

- IDEC 홈페이지 - 로그인 - MPW - CDC 클릭
(반드시 지도교수 계정으로 로그인)
- CDC 신청 - 해당 CDC의 상세보기 클릭
- 스크롤을 내리면 논문 작성 및 제출 방법 확인 가능
- 논문 양식 : 바로가기 클릭을 통해 다운로드 가능
- ※ 논문 작성 및 제출 방법 외 나머지 내용도 상세히 필독!!!

4) CDC 논문 제출

- ① 한국반도체학술대회 : 학회 홈페이지를 통해 진행
(<http://kcs.cosar.or.kr>, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 진행
 - CDC 참여 신청서 작성
 - MPW 참여 구분 : 해당 참여구분을 선택
(IDEC MPW 참여팀의 경우 IDEC MPW design team 선택. 지도교수님 계정 이외의 계정으로 MPW design team 선택 불가)
 - 참여 MPW 공정 : 해당 공정을 선택
 - Title (논문명) : 논문명 입력
 - Author (주저자) : 주저자의 소속, 이름, 연락처 및 e-mail 기입
(채택 안내 및 기타 관련 공지가 전달되니 반드시 정확히 기재)
 - Co-Author (공동저자) : 지도교수를 제외한 주저자 외 해당 논문의 공동저자를 모두 입력해야 함
 - Adviser (지도교수) : 지도교수의 계정으로 접속하면 자동으로 정보가 입력됨
 - Contact Author (전시 담당자) : 해당 내용 모두 입력
(주저자와 전시 담당자가 동일할 경우, 주저자의 정보를 기입)
 - Design Category : 해당 카테고리에 체크
 - Chip Working (칩 동작률) : 해당하는 숫자 표기
 - Exhibitor : 전시 형태 선택, 동작률이 80% 이상일 경우 데모 참여
(데모 선택시 멀티탭, 유선랜을 선택하는 부분이 나타남)
 - Design Type : 디자인 타입 선택
 - Poster Attached : 포스터 형식의 논문 제출 (KCS 제외)

5) CDC 논문 채택여부 확인

- ① 한국반도체학술대회 : 학회 측에서 통보 진행
(<http://kcs.cosar.or.kr>, 자세한 내용은 사무국 측에서 안내)
- ② IDEC Congress, ISOCC : IDEC 홈페이지를 통해 확인 가능 (담당자가 채택확인 요청 메일 송부 예정)
 - IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 클릭 - 채택여부에 "채택" 또는 "미채택"으로 표시되어 확인 가능(지도교수 계정으로 로그인)

CDC신청내역

홈 | MY IDEC | CDC신청내역



○ CDC 신청내역

제목	주저자	신청일자	채택여부	상태
ISOCC 2022 Chip Design Contest	Hyunjin Kim	2022.06.17	채택	채택 완료
ISOCC 2022 Chip Design Contest	Taehyeong Park	2022.06.16	채택	채택 완료
2022 IDEC Congress(CDC)	Yohan Choi	2022.05.13	채택	마감
제29회 한국반도체 학술대회 CDC	임채강	0000.00.00	채택	종료
제29회 한국반도체 학술대회 CDC	윤경륜	0000.00.00	채택	종료
ISOCC 2021 Chip Design Contest	Hyunjin Kim	2021.06.16	채택	종료
2021 IDEC Congress (CDC)	Jinwoo Jeon	2021.04.20	채택	종료
2021 IDEC Congress (CDC)	Soonsung Ahn	2021.04.20	채택	종료

6) CDC 최종 논문 제출 : 포스터 및 발표 영상 제출

① 모든 CDC는 IDEC 홈페이지에 제출

- IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭
- Paper attached (최종논문) 란에 파일 업로드 - 수정 클릭

MY IDEC

CDC신청내역

홈 | MY IDEC | CDC신청내역

CDC신청내역

교육신청내역

SoC설계과목이수제

VOD신청내역

참여교수 신청내역

MPW신청내역

희망공정신청내역

EDA Tool신청내역

소켓/보드 주문내역

참여교수 평가

MPW평가

희망공정 평가

CDC평가

적립금/쿠폰내역

ISOCC 2022 Chip Design Contest

신청기간	평가기간	포스터(논문)수정기간	발표영상제출기간	발표자료제출기간	2차 평가기간
2022-06-01 - 2022-07-25	2022-07-27 - 2022-08-08	2022-08-10 - 2022-09-23	0000-00-00 - 0000-00-00	2022-09-01 - 2022-10-14	2022-08-18 - 2022-08-31

신청 정보 상세

채택 및 발표자 선정

- 채택 되었습니다.

평가의견

- 참고하시어 포스터를 수정하여 업로드 해주시기 바랍니다

그림에 대한 설명이 부족함. Novelty가 무엇인지? 무얼 개선했는지?

- 고효율을 이룩한 DC/DC convert 기술로 훌륭한 논문으로 판단됨.
- 좋은 입력 전압 범위는 문제점을 분석하고, 개선할 필요가 있음.
- reference가 정리되어 있지 않음.
- 인덕터 및 커패시터(C Fly) 까지 Fab in을 했는지 포함.

기존 구조와 비교해서 장점은 무엇인가?

● 수정여의치 않음

신청자정보

논문번호	202202008			
MPW참여 구분	<input checked="" type="radio"/> IDEC MPW design team <input type="radio"/> other MPW design team			
참여MPW종경	DB180-2101회 DB하이텍 180nm BCDMOS (신청일자 [] er..			
Title(논문명)	A 1.5-Output-Mode Common-Mode Buck-Boost Converter Using a 1-Output			
Author(주저자)	Affiliation	Korea University	Name	[]
	email	[]	HP	[]
Co-Author (공동저자)	Affiliation	Korea University	Name	[]
	Affiliation	Korea University	Name	[]
Adviser (지도교수)	Affiliation	[]	Name	[]
	email	[]	Tel	[]
Contact Author (전시담당자)	Affiliation	[]	Name	[]
<input type="checkbox"/> 주저자와 동일	email	[]	HP	[]
Design Category	<input checked="" type="radio"/> analog <input type="radio"/> digital <input type="radio"/> communication <input type="radio"/> processor <input type="radio"/> memory <input type="radio"/> etc		Design type	<input checked="" type="radio"/> ASIC <input type="radio"/> FPGA
Poster attached	파일 선택 선택된 파일 없음 IDEC_CDC_poster_고려대 []			

목록으로
수정

7) 발표자료 제출

- ① 제출 대상 : 우수팀으로 선정되어 평가 대상인 팀 (대상자에게는 별도 연락)
- ② 제출 기간 : 행사 당일 약 3주 전부터 접수
- ③ 제출 방법 : IDEC 홈페이지를 통해 제출
 - IDEC 홈페이지 - 로그인 - 마이페이지 - CDC 신청내역 - 해당 CDC 클릭 - 맨

하단의 발표자료 등록 클릭 (반드시 지도교수 계정으로 로그인)

8) 행사 참여하기

- ① 관련 전체 내용에 대한 상세 공지는 최종 채택 팀에게 담당자가 사전에 메일로 송부 (전시 및 발표 시간, 장소 / 포스터 전시 / 배치도 번호 / 사전등록 등)
- ② 행사 당일 공지된 일시 및 장소에 전시 진행, 나머지 일정은 추후 공지

3. CDC 평가

- 1) 평가 위원 : IDEC CDC 평가위원 (임기 2년, IDEC에서 선정 후 위촉)
- 2) 평가 종류 : 온라인 평가
- 3) 평가 방법
 - ① 온라인 평가
 - CDC에 제출된 논문의 채택 여부를 판단
 - IDEC 홈페이지를 통해 주어진 평가 항목을 기준으로 평가
(기타 상세한 내용에 대해서는 담당자가 메일로 안내)

1. JICAS 소개

- 1) JICAS 정의 : IDEC을 통해 배출되는 연구 결과물의 관리 체계를 확보하고 나아가 연구의 질적 향상을 위해 우수 사례를 모아 제작하는 공식 학술지
- 2) JICAS 개요
 - ① 발행 형태 : KCI 등재 온라인 저널 (연 4회 발행, 1월, 4월, 7월, 10월)
 - ② 배포 형식 : JICAS 공식 홈페이지 및 이메일 등
 - ③ 논문 주제 : IDEC MPW 및 EDA Tool 지원을 통해 나온 연구 결과물 외
 - ④ 논문 투고 대상 : IDEC 참여교수 및 소속 학생 외

2. JICAS 진행 절차

- 1) 논문 투고
 - ① 논문 모집 일정
 - 논문은 상시 모집, 마감일은 사전 홈페이지 공고
 - 상세 투고 일정은 담당자와 조율 후 결정
※ 담당자 (이경옥 전임: 042-350-8533, kyungoklee@idec.or.kr)
 - ② 논문 작성 가이드
 - JICAS 규정, 작성 요령, 논문 양식: JICAS 홈페이지에서 확인 가능
- 2) 논문 제출
 - JICAS 홈페이지 (<http://jicas.idec.or.kr/>) 가입 후 제출(Make a submission 클릭)
- 3) 논문 평가 및 수정
 - ① 편집위원단 및 리뷰어에 의해 평가
 - ② 창의성, 독창성 보다는 설계 과정 및 방법 등을 중심으로 평가
 - ③ 평가는 약 3주 내외로 소요
 - ④ 평가 의견에 따라 논문 보완
- 4) 발간 : JICAS 홈페이지 및 KCI 홈페이지 내 논문 업로드

5) 참여 혜택

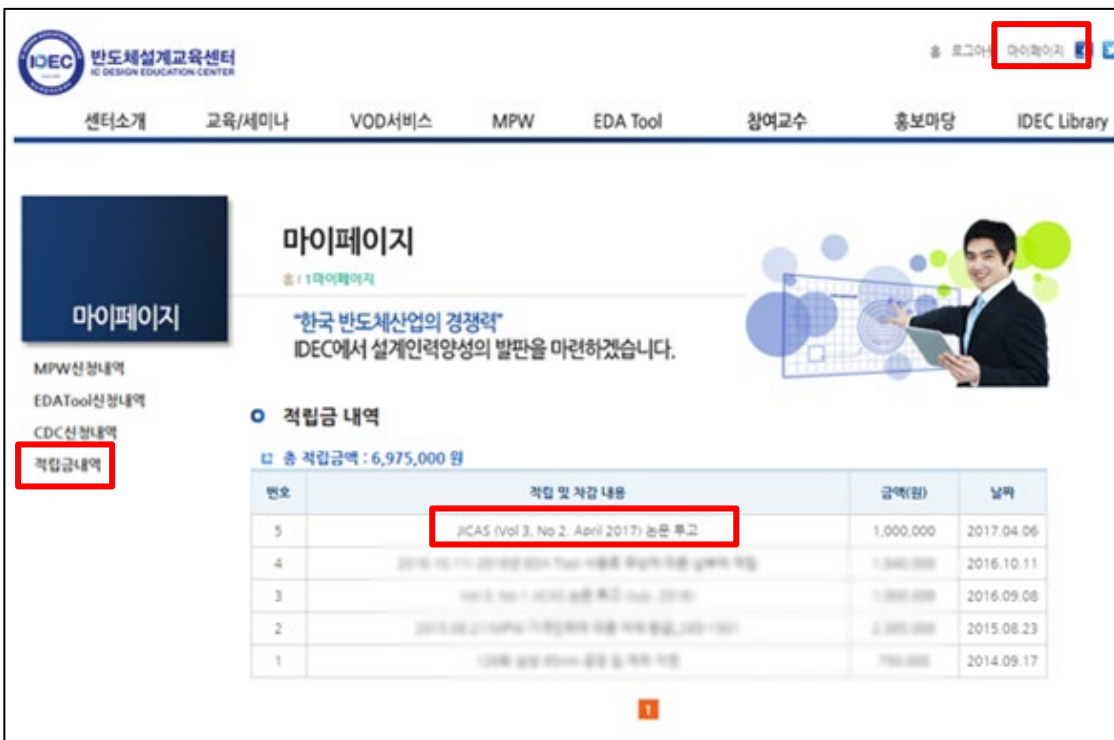
① 논문 게재 혜택(의무 사항 아닐 경우)

- MPW 칩 제작 경쟁 과열 시 선정 우선권 제공 1회 (/편) 제공
- 해당 연구실에 50만원 (/편) 적립

② 혜택 사용

- 혜택 확인
 - 담당자가 확인 메일 발송
 - 홈페이지 내 확인 방법

- 지도교수님 계정으로 접속 후 마이페이지 - 적립금내역에서 확인 가능



③ 혜택 사용처 : 본센터 MPW, EDA Tool, 교육 (캠퍼스 제외)

④ 혜택 사용 방법 : 각 담당자에게 문의

- MPW 담당자 : 이의숙 책임 (yslee@idec.or.kr)
- EDA Tool 담당자 : 정재희 선임 (jh.jeong1234@kaist.ac.kr)
- 교육 담당자 : 김영지 주임 (yjkim@idec.or.kr)